

Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«КАЛИНИНГРАДСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ  
УНИВЕРСИТЕТ»

**В. В. Капустин**

## **ЭВМ И ПЕРИФЕРИЙНЫЕ УСТРОЙСТВА**

Учебно-методическое пособие по выполнению лабораторных работ  
для студентов бакалавриата по направлению  
подготовки 09.03.03 Прикладная информатика,  
профиль – «Прикладная информатика в экономике»

Калининград  
Издательство ФГБОУ ВО «КГТУ»  
2022

УДК 338

Рецензент:

кандидат технических наук,  
профессор кафедры цифровых систем и автоматики института  
цифровых технологий ФГБОУ ВО «Калининградский государственный  
технический университет» В. А. Петрикин

**Капустин, В. В.**

Вычислительная техника: учеб.-метод. пособие по выполнению лабораторных работ для студентов бакалавриата по направлению подготовки 09.03.03 Прикладная информатика, профиль «Прикладная информатика в экономике» / **В. В. Капустин.** – Калининград: Изд-во ФГБОУ ВО «КГТУ», 2022. – 58 с.

В учебно-методическом пособии даны методические указания по самостоятельному изучению дисциплины в ходе подготовки к лабораторным занятиям.

Пособие подготовлено в соответствии с требованиями утвержденной рабочей программы общепрофессионального модуля (В) 09.03.03 Прикладная информатика.

Учебно-методическое пособие рассмотрено и одобрено в качестве локального электронного методического материала кафедрой цифровых систем и автоматики 29 сентября 2022 г., протокол № 2

Учебно-методическое пособие по выполнению лабораторных работ рекомендовано к использованию в качестве локального электронного методического материала в учебном процессе методической комиссией института цифровых технологий ФГБОУ ВО «Калининградский государственный технический университет» 29 сентября 2022 г., протокол № 7

© Федеральное государственное  
бюджетное образовательное учреждение  
высшего образования «Калининградский  
государственный технический  
университет», 2022 г.  
© Капустин В.В., 2022 г.

## ОГЛАВЛЕНИЕ

1.	Введение .....	5
2.	Лабораторная работа №1. Элементы процессоров ЭВМ. Исследование логических элементов .....	6
2.1.	Общие сведения .....	6
2.2.	Теоретическое введение .....	6
2.3.	Задание к лабораторной работе .....	7
2.4.	Методические указания и порядок выполнения работы.....	7
2.4.1.	Исследование элемента NOT (операция инверсии).....	7
2.4.2.	Исследование логического элемента AND (операция конъюнкции).....	10
2.4.3.	Исследование логического элемента OR (операция дизъюнкции) .....	12
2.4.4.	Исследование сложной комбинационной схемы (преобразователь кодов) 13	
2.5.	Требования к отчету и защите .....	14
3.	Лабораторная работа №2. Элементы процессоров ЭВМ. Исследование сумматоров и АЛУ .....	15
3.1.	Общие сведения .....	15
3.2.	Теоретическое введение .....	15
3.2.1.	Порядок проектирования комбинационных схем.....	15
3.3.	Задание к лабораторной работе .....	18
3.4.	Методические указания и порядок выполнения работы.....	18
3.4.1.	Исследование шифраторов .....	18
3.4.2.	Исследование мультиплексора .....	19
3.4.3.	Исследование демультимплексора .....	20
3.4.4.	Исследование сумматоров и АЛУ .....	21
3.5.	Требования к отчету и защите .....	22
4.	Лабораторная работа №3. Элементы процессоров ЭВМ. Исследование последовательностных элементов .....	23
4.1.	Общие сведения .....	23
4.2.	Теоретическое введение .....	23
4.3.	Задание к лабораторной работе .....	26
4.4.	Методические указания и порядок выполнения работы.....	26
4.4.1.	Исследование асинхронного RS-триггера .....	26
4.4.2.	Исследование синхронного RS-триггера со статическим синхровходом 28	
4.4.3.	Исследование синхронного RS-триггера с динамическим синхровходом 29	
4.5.	Требования к отчету и защите .....	30

5. Лабораторная работа №4. Исследование элементов регистровой и оперативной памяти ЭВМ. JK-, D-триггеры, регистры, счетчики .....	31
5.1. Общие сведения .....	31
5.2. Теоретическое введение .....	31
5.3. Задание к лабораторной работе .....	32
5.4. Методические указания и порядок выполнения работы.....	32
5.4.1. Исследование JK-триггера .....	32
5.4.2. Исследование D-триггера.....	33
5.4.3. Исследование двухтактного триггера .....	35
5.4.4. Исследование асинхронных счетчиков.....	36
5.4.5. Исследование регистров.....	37
5.5. Требования к отчету и защите .....	39
6. Лабораторная работа №5. Запоминающие устройства ЭВМ. Исследование структур и функций. Синхронные счетчики. Микропрограммные устройства.....	41
6.1. Общие сведения .....	41
6.2. Теоретическое введение .....	41
6.3. Задание к лабораторной работе .....	43
6.4. Методические указания и порядок выполнения работы.....	43
6.4.1. Исследование синхронных счетчиков .....	43
6.5. Требования к отчету и защите .....	45
7. Лабораторная работа №6. Микропрограммные устройства и контроллеры. Организация и типовые структуры. Проектирование специализированного микропрограммного автомата.....	46
7.1. Общие сведения .....	46
7.2. Теоретическое введение .....	46
7.3. Задание к лабораторной работе .....	49
7.4. Методические указания и порядок выполнения работы.....	52
7.5. Требования к отчету и защите .....	52
8. Заключение.....	54
9. Литература .....	54

## 1. ВВЕДЕНИЕ

Данное учебно-методическое пособие предназначено для студентов направления подготовки 09.03.03 Прикладная информатика, изучающих дисциплину «ЭВМ и периферийные устройства».

Целью освоения дисциплины «ЭВМ и периферийные устройства» является формирование знаний и основ построения устройств и элементов вычислительных систем, необходимых для выбора их архитектуры, конфигурации и эксплуатации:

- изучение элементов, узлов и устройств, позволяющих реализовать функции обработки данных и управления в электронных вычислительных машинах, принципов построения запоминающих и внешних устройств и их интерфейсов;
- приобретение навыков выбора, комплексирования и эксплуатации программно-аппаратных средств в вычислительных и информационных системах;
- формирование базовых знаний, умений и навыков для успешного (в том числе самостоятельного) выбора элементной базы для построения различных архитектур вычислительных средств.

Лабораторный практикум содержит 6 лабораторных работ.

Лабораторные работы проводятся в лабораториях, оснащенных персональными компьютерами, объединенными в локальную сеть с доступом в Интернет.

В результате выполнения лабораторных работ ожидается, что студенты должны **знать:** основы построения и архитектуры ЭВМ; принципы построения, параметры и характеристики цифровых и аналоговых элементов ЭВМ; современные средства взаимодействия с ЭВМ;

**уметь:** выбирать, комплексировать и эксплуатировать программно-аппаратные средства в создаваемых вычислительных и информационных системах и сетевых структурах; устанавливать и использовать программно-аппаратные средства вычислительных и информационных систем;

**владеть:** методами выбора элементной базы для построения различных архитектур вычислительных средств для работы над проектом

## 2. ЛАБОРАТОРНАЯ РАБОТА № 1. ЭЛЕМЕНТЫ ПРОЦЕССОРОВ ЭВМ. ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

### 2.1. Общие сведения

*Цель:*

изучение номенклатуры и функций типовых логических элементов.

*Материалы, оборудование, программное обеспечение:*

IBM PC-совместимый персональный компьютер, программа MicroCap 9.0 5.0 Evaluation version, или иная, также являющаяся свободно распространяемой демоверсией профессиональной программы машинного моделирования электронных схем.

*Условия допуска к выполнению:*

Предварительное знакомство с УМП, отсутствие существенных текущих задолженностей по лабораторному практикуму.

*Критерии положительной оценки:*

Выполнение типового задания, оформление отчета по работе, ответы на вопросы для самопроверки.

*Планируемое время выполнения:*

Аудиторное время выполнения (под руководством преподавателя): 4 ч.

Время самостоятельной подготовки: 2 ч.

### 2.2. Теоретическое введение

В цифровой электронике используются три базовых логических элемента, это элемент NOT - логическое отрицание (инверсия), элемент AND - логическое умножение (И) и элемент OR - логическое сложение (ИЛИ).

Типовые логические элементы и устройства служат основой для создания ЭВМ и автоматов дискретного действия. Системой логических элементов называется функционально полный набор логических элементов, объединенных общими электрическими, конструктивными и технологическими параметрами и использующих одинаковый тип межэлементных связей. Системы элементов содержат элементы для выполнения логических операций, запоминающие элементы, элементы, реализующие функции узлов ЭВМ, а также элементы для усиления, восстановления и формирования сигналов стандартной формы.

В логических устройствах сигнал на входе и выходе каскада является бинарным. Он может принимать только два значения – логического нуля «0» и логической единицы – «1». Значения «0» и «1» являются символическими и не соответствуют числовым значениям напряжения, выражаемым в вольтах. Например, при использовании выходного напряжения ключевого каскада уровнем логического «0» может служить напряжение на коллекторе насыщенного транзистора, уровнем логической «1» – напряжение на коллекторе запертого транзистора.

Комбинационные логические схемы состоят из элементов, выходной сигнал которых зависит только от входных сигналов в рассматриваемый момент времени.

Собственно логическими элементами называют элементы, реализующие функции булевой алгебры. Базовые логические элементы реализуют минимальный набор функций, достаточный для построения любых устройств цифровой электроники.

Устройства на основе логических элементов можно также разделить на комбинационные и последовательностные.

Комбинационные устройства состоят из элементов, выходной сигнал которых зависит только от входных сигналов в рассматриваемый момент времени.

Последовательностные устройства содержат элементы памяти, таким образом, их выходной сигнал зависит не только от входных сигналов в рассматриваемый момент времени, но и от их значений в предыдущие моменты времени.

#### *Литература:*

Кардашев, Г.А. Цифровая электроника на персональном компьютере. Electronics Workbench и Micro-Cap / Г. А. Кардашев. - Москва : Горячая линия-Телеком, 2003. Стр. 5-34.

Суханова, Н.В. Основы электроники и цифровой схемотехники [Электронный ресурс] : учебное пособие / Н.В. Суханова ; Министерство образования и науки РФ, Воронежский государственный университет инженерных технологий. - Воронеж : Воронежский государственный университет инженерных технологий, 2017. - 97 с. (ЭБС «Университетская библиотека онлайн») Стр. 68-73.

#### *Контрольные вопросы для самопроверки:*

1. Почему из всего множества возможных булевых функций реализованы только вышеуказанные две?
2. Как можно реализовать иные логические функции?
3. Какое максимальное число входов может быть у логических элементов?
4. Почему данный вид логических элементов называется потенциальной логикой?
5. Какое значение напряжения питания используют данные логические элементы?
6. Какие значения могут иметь уровни напряжения логического нуля и логической единицы?

### **2.3. Задание к лабораторной работе**

1. Изучите методические указания и последовательно выполните все пункты исследований.
2. Проверьте корректность работы логических элементов п.п. 2.4.11-2.4.3, сравнив выходные реакции моделей с заданными таблицами истинности. Проведите собственные исследования, увеличив число задействованных входов элементов до 4-х и скорректируйте для этих случаев таблицы истинности. Снимите скриншоты работающих схем.
3. Соберите собственный вариант преобразователя кодов п. 2.4.4, проанализируйте его поведение на последовательности сигналов, поступающих с генератора слов, и постройте таблицу истинности. Продемонстрируйте работу схемы преподавателю. Снимите подтверждающие работу схемы скриншоты.
4. Оформите отчет в виде файла с названием «Фамилия, Лаб 1.doc».

### **2.4. Методические указания и порядок выполнения работы**

#### **2.4.1. Исследование элемента NOT (операция инверсии)**

Рассмотрим самый простой элемент NOT. Элемент имеет всего один вход и один выход. В исходном состоянии, когда на входе присутствует 0, то на выходе присутствует 1.

Логические элементы изображаются на схемах в виде прямоугольника, внутри которого указывается тип логического элемента, так для элемента NOT ставится цифра 1. Прямоугольник обозначения логического элемента располагается всегда таким образом, что входы элемента находятся слева, а выходы справа. Следует обратить внимание, что

выход, имеющий в исходном состоянии логическую единицу, обозначается маленьким кружком.

Соберём простую электрическую схему с использованием элемента NOT. Для этого, сначала расставим на поле необходимые элементы, как показано на рисунке 2.1. Элемент "Voltage source - источник напряжения" находится на панели Sources, там же где и заземление. Источник предназначен для получения сигнала логической 1, т. е. +5 В.

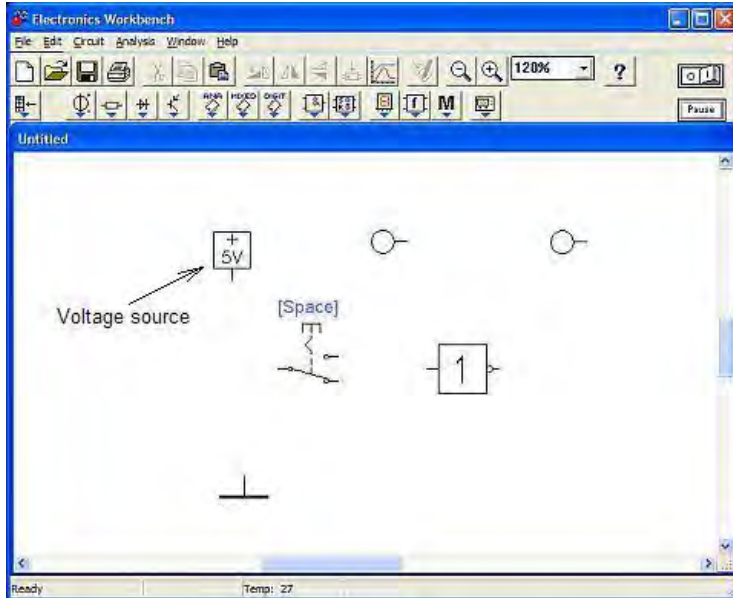




Рисунок 2.1 Рабочее окно программы

Некоторые элементы схемы, перед рисованием схемы, следует настроить.

Так, переключатель следует развернуть на 180 град. Для этого следует выделить переключатель и нажать кнопку  или, нажав правую кнопку мыши выбрать в локальном меню опцию "Flip Horizontal". Индикаторные светодиоды следует повернуть выводами вниз. Для этого выделить светодиод и нажать несколько раз кнопку  или в локальном меню выбрать "Rotate". В итоге должна получиться такая картина:

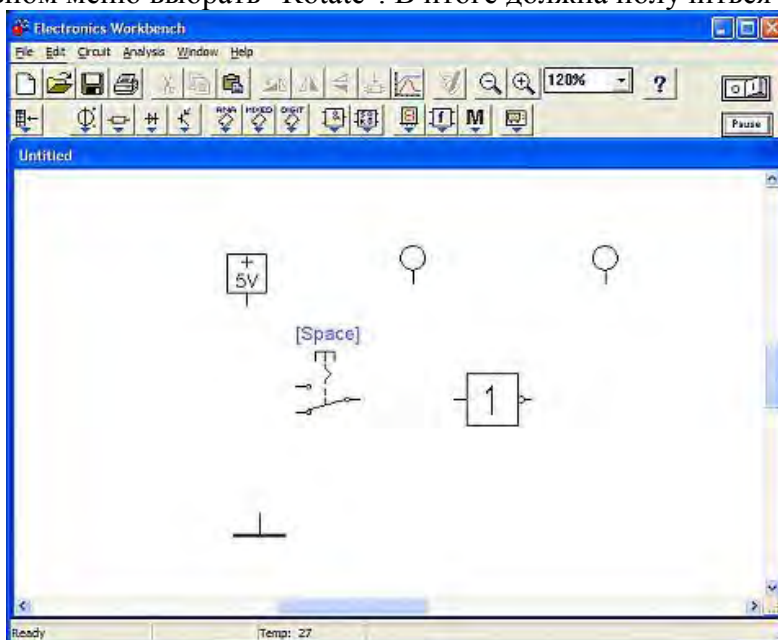


Рисунок 2.2 Элементы схемы



Далее, способом, описанным в предыдущем разделе, следует произвести соединения проводниками, так как показано на рисунке 2.3.

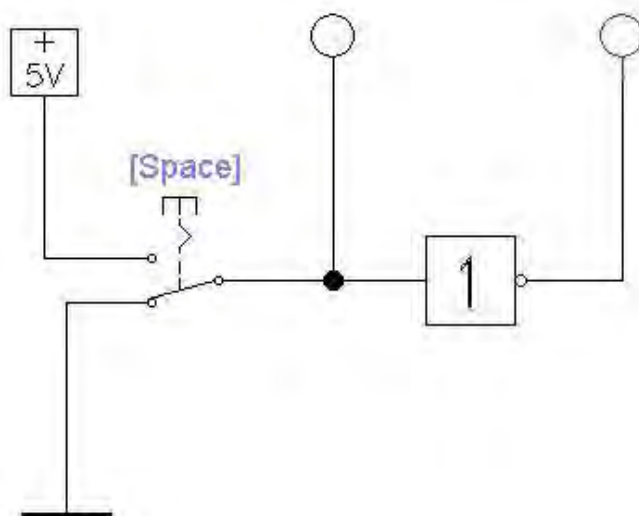
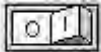


Рисунок 2.3 Подключение инвертора

Для проведения эксперимента следует включить выключатель питания электрической схемы  установив его в положение I.

Итак, мы видим что индикатор, подключенный к выходу элемента, загорелся (стал красного цвета). На выходе элемента присутствует значение 1. Вход элемента заземлён через контакты переключателя, то есть на входе присутствует 0 (Рисунок 2.4, А). Надпись "Space" на переключателе означает, что переключать его нужно нажатием клавиши "Пробел" на клавиатуре. Переключим переключатель. Вход логического элемента соединится с источником напряжения, то есть на входе элемента появится значение 1 (о чём свидетельствует зажигание индикатора подключенного к входу), а сам логический элемент выполнит свою прямую обязанность, переключится в состояние 0 (Рисунок 2.4, Б). Такая работа логического элемента в логике называется "**Инверсия**", а сам логический элемент - **Инвертор**.

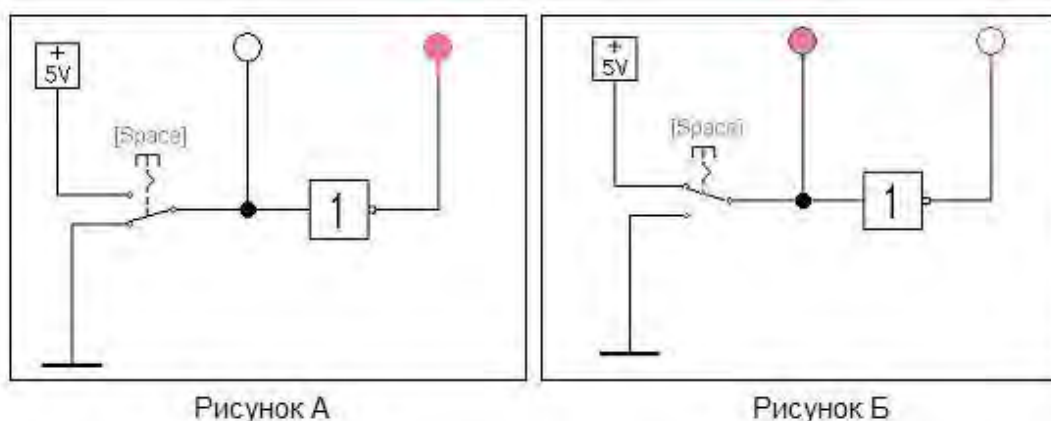


Рисунок А

Рисунок Б

Рисунок 2.4 Работа инвертора

## 2.4.2. Исследование логического элемента AND (операция конъюнкции)

Логический элемент AND является многовходовым элементом, то есть у этого элемента должно быть число входов 2 и более. Название элемента описывает его функциональное назначение: если на входе 1 и на входе 2 и на входе N присутствует логическая единица, то на выходе элемента появляется логическая единица. Во всех остальных случаях, на выходе элемента присутствует нуль. Логический элемент "И" на схеме обозначается значком &.

Соберём уже известным нам способом, схему, показанную на рисунке 2.5.

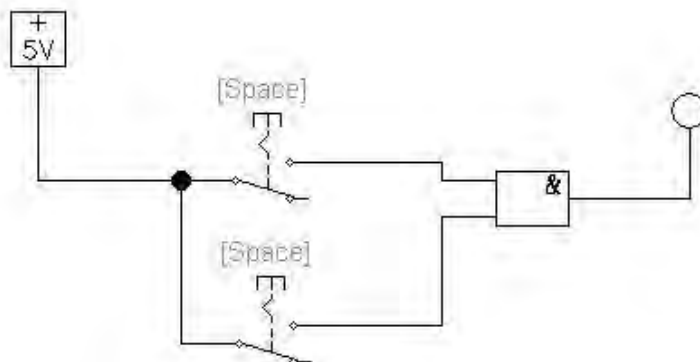


Рисунок 2.5 Схема «2-И»

Сразу начать тестирование полученной схемы нельзя, так как оба переключателя будут включаться одновременно при нажатии клавиши Пробел. Изменим назначение клавиш для переключателей, назначим им цифровые клавиши соответствующие входам элемента. Для этого следует выделить, например верхний переключатель, нажать правую кнопку мыши и в локальном меню выбрать опцию "Component properties" (Свойства компонента). На экране появится окно настроек переключателя "Switch Properties".

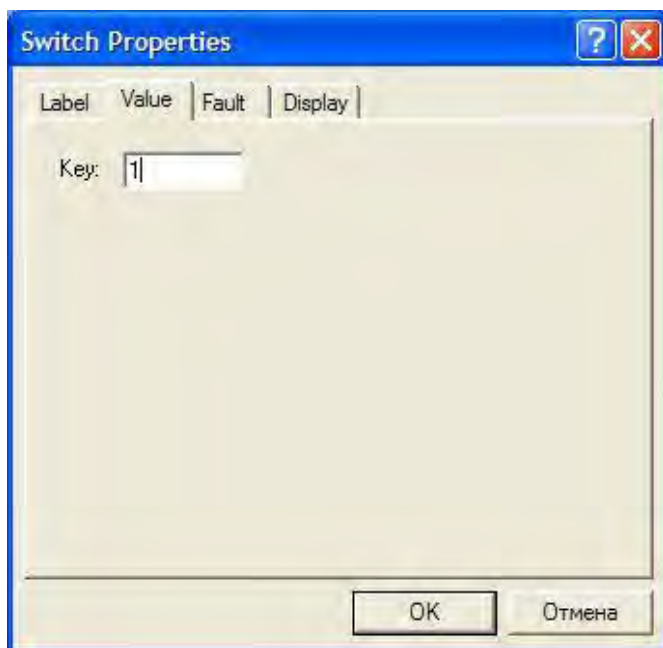


Рисунок 2.6 Окно настроек

В поле Key, вместо надписи Space, следует ввести 1 и нажать кнопку ОК. Теперь верхний переключатель будет переключаться при нажатии на клавиатуре клавиши 1. Аналогичные изменения следует произвести с нижним переключателем, но ввести значение 2. Теперь можно приступить к эксперименту - произвести все возможные переключения и убедиться, что элемент "И" срабатывает только тогда, когда оба переключателя включены. Переключать переключатели лучше согласно данным в представленной ниже таблице (знакомой как «Таблица истинности»).

Таблица 2.1

№ Перекл.	Входы / Переключатели		Выход
	1	2	
1	0	0	0
2	1	0	0
3	0	1	0
4	1	1	1

Добавим ещё один логический вход нашему элементу AND. Для этого следует выделить логический элемент, нажать правую кнопку мыши и выбрать опцию в локальном меню "Component properties". В окне свойств элемента, выбрать закладку "Number of Inputs" (число входов) и установить флажок на значении 3. Нажать ОК.

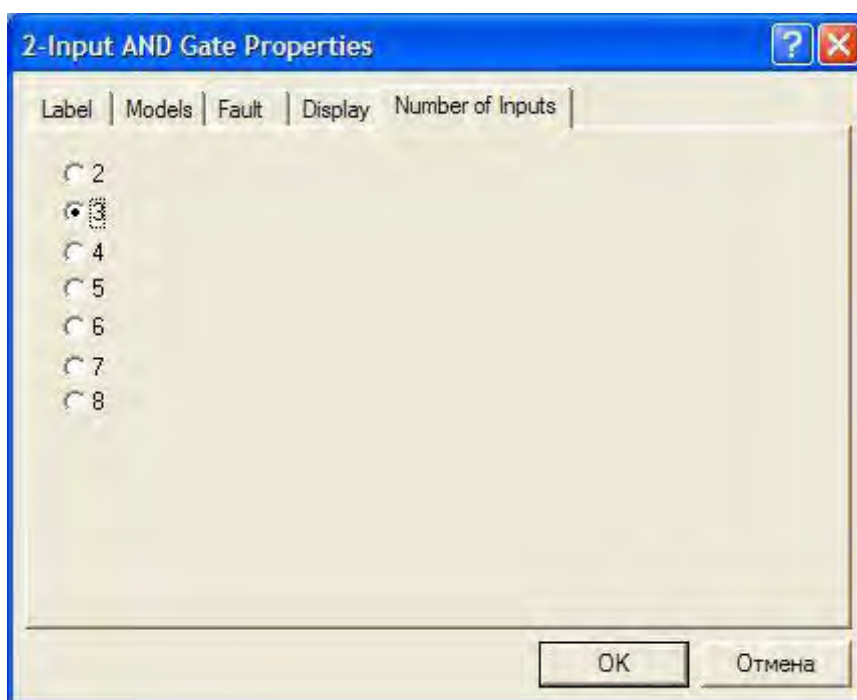


Рисунок 2.7 Выбор количества входов

На поле схемы следует добавить ещё один переключатель и назначить ему клавишу 3. Должна получиться схема, показанная на рисунке 2.8.

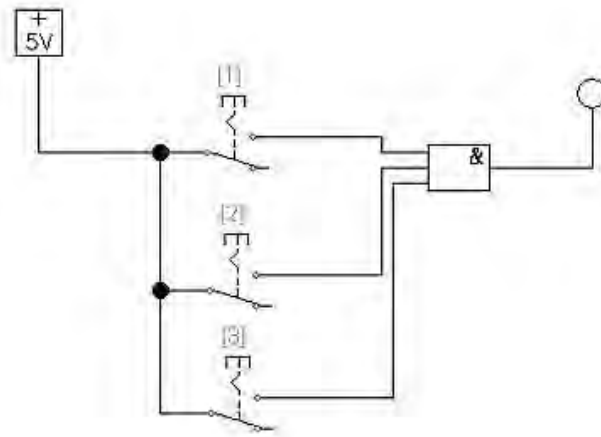


Рисунок 2.8 Трехвходовой логический элемент «И»

Для постановки эксперимента следует воспользоваться таблицей переключений

Таблица 2.2

№ Перекл.	Входы / Переключатели			Выход
	1	2	3	
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	1

Очевидно, что число возможных переключений возросло с 4 до 8, но логика работы схемы не изменилась - логическая единица появляется на выходе только тогда, когда на всех входах присутствует логическая единица. Элемент "И" выполняет операцию, которая в логике называется **Конъюнкция**.

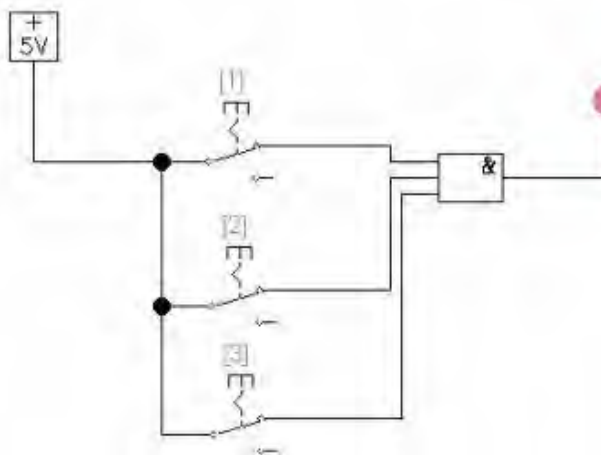


Рисунок 2.9 Работа трехвходового логического элемента

### 2.4.3. Исследование логического элемента OR (операция дизъюнкции)

Для исследования свойств логического элемента "ИЛИ", немного изменим предыдущую схему. Выделим и удалим элемент "И", и заменим его на элемент "ИЛИ". Элемент "ИЛИ" обозначается так же как и элемент "НЕ" - 1, только на выходе не рисуется кружок. Элемент "ИЛИ", так же как и элемент "И", является многовходовым элементом.

На поле чертежа создадим элемент "ИЛИ" с тремя входами, так, что бы получилась такая схема:

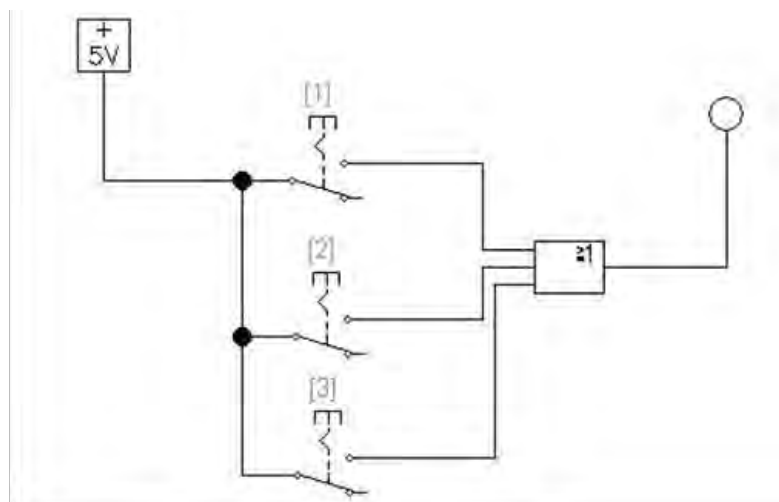


Рисунок 2.10 Трехвходовой логический элемент «ИЛИ»

При проведении эксперимента воспользуемся таблицей переключений, сходной с Таблицей 2.2, и убедимся, что 1 на выходе элемента присутствует тогда, когда хотя бы на одном из входов присутствует 1. Такая логика работы элемента "ИЛИ" называется **Дизъюнкция**.

Все три перечисленных выше логических элемента AND, OR и NOT, являются базовыми для построения сложных логических схем, таких как сумматоры, шифраторы и дешифраторы, мультиплексоры и многие другие.

#### 2.4.4. Исследование сложной комбинационной схемы (преобразователь кодов)

Изученные логические элементы могут использоваться в качестве компонентов для создания более сложных логических схем, к которым относятся преобразователи кодов. Это – обширный класс устройств, характеризующийся множеством выходов  $Y$ , сигналы на которых определяются значениями сигналов, поданных на множество входов  $X$ .

Фрагмент схемы подобного преобразователя показан ниже (рисунок 2.11).

Обратите внимание на состав и взаимосвязи элементов.

Особо отметим, что на каждый вход логических элементов поступает сигнал строго с одного выхода предыдущего каскада!

На входы схемы подаётся множество сигналов  $\{X_i\}$  (в данном задании - четыре).

Схема состоит из трёх каскадов.

Первый каскад – инверторы, включённые таким образом, что далее подаются парафазные сигналы: прямой  $X$  и инверсный  $\neg X$ .

Второй каскад – логические элементы «И-НЕ» с несколькими входами (в данном задании от 2 до 4), на которые поступают сигналы  $X$  и  $\neg X$ , причём комбинации сигналов у каждого элемента различны.

Третий каскад - логические элементы «И-НЕ» с несколькими входами (в данном задании от 2 до 4), на которые поступают сигналы со второго каскада.

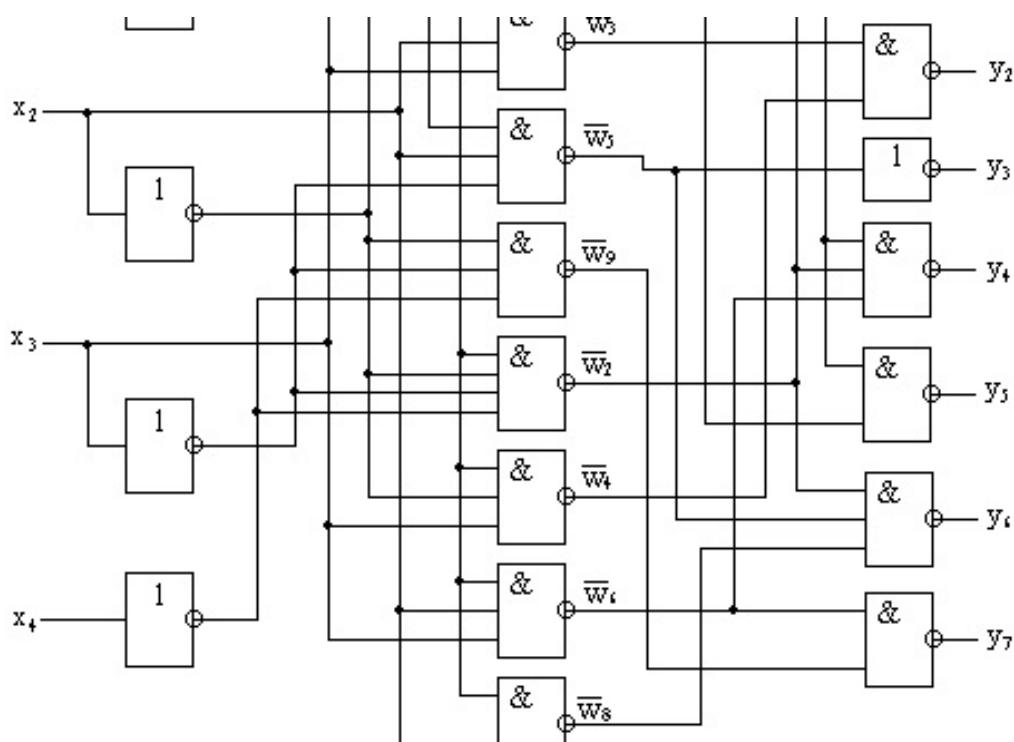


Рисунок 2.11 Фрагмент сложной комбинационной схемы

Для проведения эксперимента самостоятельно разработайте на основе примера собственную схему преобразователя, имеющего 4 входа  $X$  и 5-7 выходов  $Y$  (конкретные значения уточните у преподавателя).

Для формирования входных сигналов следует применить переключатели, включенные по схеме, аналогичной представленной на рисунке 2.10, либо воспользоваться генератором слов, работающим в пошаговом режиме.

Индикация состояний на выходах осуществляется с помощью индикаторных лампочек.

Постройте для своей схемы Таблицу истинности и ДНФ для каждого из выходов.

## 2.5. Требования к отчету и защите

В отчете указываются название, цель работы. Описание выполненных лабораторных заданий с результатами в виде скриншотов, сохраненных результатов моделирования в файле формата соответствующей программы моделирования и выводами по каждому заданию.

На защите проверяются приобретенные знания теоретического и практического материала с демонстрацией результатов моделирования и по ответам на контрольные вопросы для самопроверки.

Отчёт должен содержать:

1. Формулировку цели работы.
2. Краткие сведения о свойствах и отличительных чертах различных классов комбинационных элементов.
3. Изложение хода исследований комбинационных элементов (согласно п. 2.4.1 - 2.4.4 работы) в виде скриншотов отдельных шагов работы, полученных таблиц истинности и логических выражений (ДНФ).

Отчет предоставляется в электронном виде через ЭИОС.

### **3. ЛАБОРАТОРНАЯ РАБОТА № 2. ЭЛЕМЕНТЫ ПРОЦЕССОРОВ ЭВМ. ИССЛЕДОВАНИЕ СУММАТОРОВ И АЛУ**

#### **3.1. Общие сведения**

*Цель:*

изучение номенклатуры и принципов проектирования комбинационных элементов и схем компьютера

*Материалы, оборудование, программное обеспечение:*

IBM PC-совместимый персональный компьютер, программа MicroCap 9.0 5.0 Evaluation version, или иная, также являющаяся свободно распространяемой демоверсией профессиональной программы машинного моделирования электронных схем.

*Условия допуска к выполнению:*

Предварительное знакомство с УМП, отсутствие существенных задолженностей по лабораторному практикуму.

*Критерии положительной оценки:*

Выполнение типового задания, оформление отчета по работе, ответы на вопросы для самопроверки.

*Планируемое время выполнения:*

Аудиторное время выполнения (под руководством преподавателя): 4 ч.

Время самостоятельной подготовки: 2 ч.

#### **3.2. Теоретическое введение**

Значительная часть электронных узлов, выделяемых в составе структур компьютеров, относятся к комбинационным схемам. Их выходной сигнал определяется только текущей входной комбинацией, т. е. не зависит от истории выполнения ими команд, а закон функционирования описывается исключительно таблицей истинности.

Помимо упомянутых ранее «преобразователей кодов», к типовым комбинационным относят такие функциональные элементы, как шифраторы и дешифраторы, мультиплексоры и демультимплексоры, а также сумматоры и арифметико-логические устройства. К комбинационным схемам можно отнести и целые структуры, выполненные на основе программируемых логических матриц.

##### **3.2.1. Порядок проектирования комбинационных схем**

При проектировании схем, выполняющих ту или иную логическую функцию, необходимо соблюсти следующие требования:

- обеспечить реализацию соответствующей функции на заданном множестве входных сигналов;
- обеспечить минимизацию аппаратных затрат на реализацию этих схем;
- сократить номенклатуру используемых логических элементов.

Последнее требование реализуется путем выбора соответствующей системы элементов. В настоящее время основные серии интегральных логических микросхем (ИМС) включают в себя элементы, составляющие некоторый функционально полный логический базис, а также дополнительные элементы, реализующие часто встречающиеся

логические функции. В качестве функционально полных базисов используются, как правило, одноэлементные базисы "И-НЕ" либо "ИЛИ-НЕ".

Рассмотрим пример проектирования комбинационной схемы на примере дешифраторов, условные графические обозначения которых приведены ниже.

Дешифраторами (DC) называются устройства, обычно используемые для преобразования двоичных чисел в комбинации кода «1-из-N». Входы дешифратора предназначаются для подачи двоичных чисел и обозначаются их весами, выходы последовательно нумеруются десятичными числами от 0 до N-1.

При подаче на входы двоичного числа появляется сигнал на определенном выходе, номер которого соответствует входному числу.

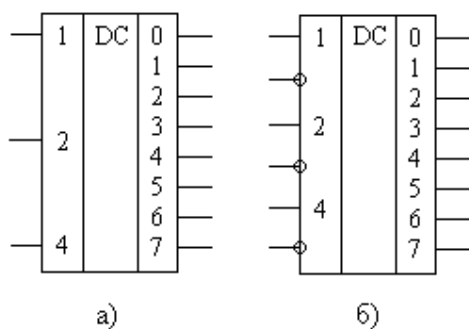


Рисунок 3.1 Дешифраторы

**Этап 1. Представление функции, выполняемой проектируемой схемой, в каноническом виде,** т. е. в виде таблицы истинности или одной из совершенных нормальных форм записи.

Обычно на этом этапе словесное описание функции заменяется таблицей истинности. Так как проектируется схема с несколькими выходами, то необходимо представить в таблице истинности каждый ее выход.

Обозначим в таблице входы схемы литерой X, а выходы – Y.

Таблица 3.1

X1	X2	X4	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y6
0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

**Этап 2. Минимизация логической функции.**

Целью минимизации многовыходных функций является синтез схемы устройства, имеющего минимальный общий состав оборудования, т. е. следует проводить минимизацию одной функции с учетом возможного использования части полученного оборудования для минимизации другой функции.



Минимизацию можно проводить различными известными из курса дискретной математики способами: методом Квайна, его модификацией – методом Квайна – Мак-Класки, методом карт Карно или диаграмм Вейча.

Очевидно, минимизацию следует выполнять лишь при исходной избыточности в функции, например – наличии дублируемых выходных сигналов, наличии неопределенного их значения, неполного входного набора и т. п., т. е. для рассматриваемого примера данный этап излишен.

**Этап 3. Представление (минимизированной) логической функции в минимальной дизъюнктивной нормальной форме (ДНФ).**

Для рассматриваемого примера система уравнений, описывающих функции всех выходных сигналов, будет иметь вид:

$$Y_0 = \overline{X_1} \& \overline{X_2} \& \overline{X_4}$$

$$Y_1 = X_1 \& \overline{X_2} \& \overline{X_4}$$

.....

$$Y_7 = X_1 \& X_2 \& X_4$$

**Этап 4. Перевод функции в базис, в котором будет строиться схема. Реализация схемы**

Поскольку в большинстве серий ИМС качестве функционально полных базисов используются, как правило, одноэлементные базисы "И-НЕ", выходные сигналы  $Y_0- Y_7$  целесообразно представить в негативной логике, а для формирования входных парафазных сигналов  $X_1 - X_4$  в необходимых случаях воспользоваться инверторами.

Фрагмент схемы подобного дешифратора представлен ниже.

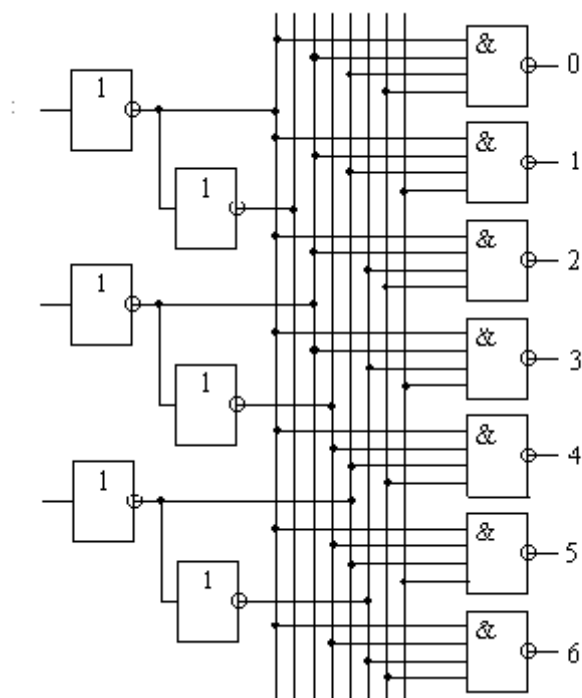


Рисунок 3.2 Фрагмент схемы дешифратора

### **Этап 5. Моделирование схемы.**

Моделирование проводится в целях практического подтверждения правильности использованных проектных решений и выполняется способом, рассмотренным в материалах лабораторной работы № 1.

Далее в разделе «Методические указания и порядок выполнения работы» описываются иные типовые комбинационные схемы, проектирование которых проводится на основе вышеизложенной методики.

#### *Литература:*

Кардашев, Г.А. Цифровая электроника на персональном компьютере. Electronics Workbench и Micro-Cap / Г. А. Кардашев. - Москва : Горячая линия-Телеком, 2003. Стр. 115-140

Суханова, Н.В. Основы электроники и цифровой схемотехники [Электронный ресурс] : учебное пособие / Н.В. Суханова ; Министерство образования и науки РФ, Воронежский государственный университет инженерных технологий. - Воронеж : Воронежский государственный университет инженерных технологий, 2017. - 97 с. (ЭБС «Университетская библиотека онлайн») Стр. 90-93

#### *Контрольные вопросы для самопроверки:*

1. Почему некоторые выводы комбинационных схем могут иметь обозначения А, D, E? От чего зависит выбор обозначения?
2. В чём состоят отличия шифраторов и дешифраторов?
3. Чем различаются мультиплексор и демультимплексор?
4. Какие коды используются шифраторы?
5. Сколько входов и выходов должен иметь одноразрядный полный сумматор?
6. В чём состоят различия сумматора и полусумматора?

### **3.3. Задание к лабораторной работе**

1. Изучите теоретическую часть методических указаний и повторите все описанные этапы проектирования.
2. Выполните этапы 1 – 5 изложенной методики на примере шифратора / мультиплексора / демультимплексора / сумматора (по согласованию с преподавателем).
3. Проверьте правильность выполнения задания, сравнив выходные реакции моделей с характерными для данных классов комбинационных схем таблицами истинности. Снимите скриншоты работы схемы.
4. Оформите отчет в виде файла с названием «Фамилия, Лаб 2.doc».

### **3.4. Методические указания и порядок выполнения работы**

#### **3.4.1. Исследование шифраторов**

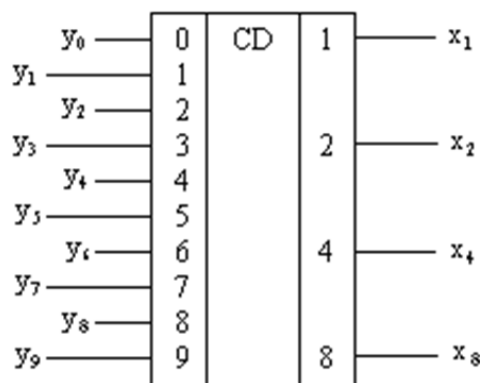


Рисунок 3.3

Шифратор, (называемый также кодером - CD) - устройство, обычно осуществляющее «обратное» дешифратору, например - преобразование десятичных чисел, представленных в коде «1-из-N», в двоичную систему счисления.

Пусть в шифраторе имеется  $m$  входов, последовательно пронумерованных десятичными числами (0, 1, 2, 3, ...,  $m - 1$ ), и  $n$  выходов. Тогда подача сигнала на один из входов приводит к появлению на выходах  $n$ -разрядного двоичного числа, соответствующего номеру активированного входа.

Выберите из библиотеки элементов системы моделирования ИМС, реализующую функции шифратора (дешифратора) и проведите исследования, подавая на входы  $Y$  полный набор комбинаций, фиксируя при этом выходные сигналы  $X$ .

Постройте таблицу истинности и опишите её с помощью ДНФ.

Объясните, почему у шифратора в данном случае используется «обратная» система обозначений входов и выходов.

### 3.4.2. Исследование мультиплексора

Мультиплексор (*MUX, MS*) — устройство, имеющее несколько входов данных  $D$  (*Data*), один или более управляющих входов и один выход данных. Мультиплексор позволяет передавать сигнал с выбранного входа на выход; при этом выбор осуществляется подачей соответствующей комбинации управляющих сигналов, поступающих на селекторные входы  $A$  (*Address*).

Дополнительные входы  $E$  (*enable*) могут использоваться для расширения функций мультиплексора, в том числе – для создания многокаскадных схем.

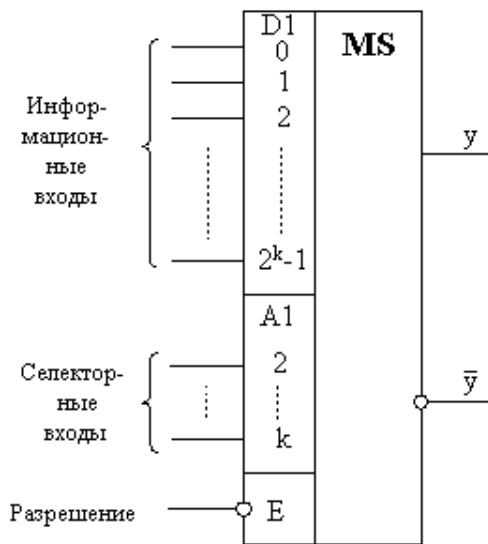


Рисунок 3.4 Мультиплексор

Структурно мультиплексор включает в свой состав коммутатор, обеспечивающий подключение одного из нескольких входов  $X$  к выходу  $Y$  устройства, а также управляющую схему, выбирающую конкретный вход. Элементы, реализующие функции коммутатора и управляющей схемы, могут объединяться на этапе минимизации схемы устройства.

Обратите внимание: обозначения  $A$ ,  $D$ ,  $E$  имеют отсылку на функциональное предназначение выводов. В иных случаях могут быть использованы традиционные обозначения для входов и выходов:  $X$  и  $Y$  соответственно.

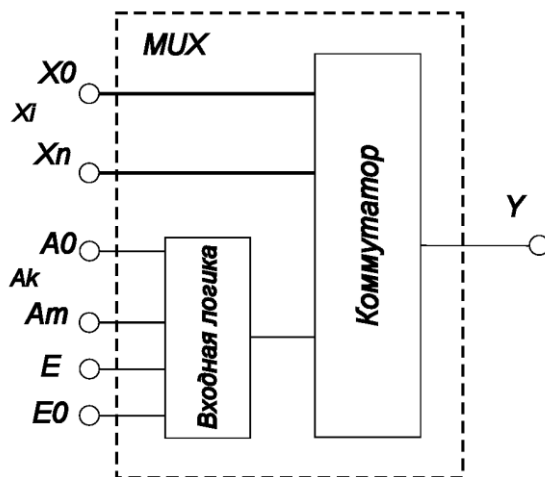


Рисунок 3.5 Схема мультиплексора

### 3.4.3. Исследование демультиплексора

Демультиплексор ( $DMX$ ,  $DMS$ ) — это логическое устройство, предназначенное для переключения сигнала с единственного информационного входа  $X$  на один из информационных выходов  $Y$ . Выбор выхода определяется соответствующим кодом, поступающим на входы, аналогичные используемым мультиплексором. Таким образом, демультиплексор в функциональном отношении противоположен мультиплексору.

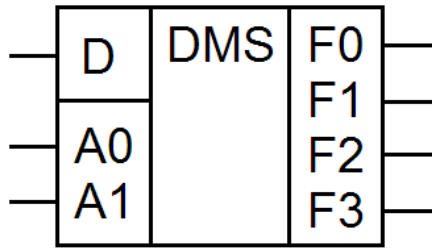


Рисунок 3.6 Демультимплексор

#### 3.4.4. Исследование сумматоров и АЛУ

Самым сложным комбинационным узлом структуры компьютера является арифметико-логическое устройство. Оно включает в свой состав элементы, обеспечивающие выполнение типового набора арифметических и логических команд над многоразрядными двоичными данными, поступающими из устройств памяти, входных устройств и иных компонентов ЭВМ.

Наиболее известным элементом АЛУ является сумматор – устройство, преобразующее поступающие по входным линиям двоичные числа в сумму этих чисел. В зависимости от специфики выполнения арифметической операции суммирования, они подразделяются на четвертьсумматоры, полусумматоры и полные сумматоры.

В состав процессоров обычно входят многоразрядные параллельные полные сумматоры, ориентированные на позиционные системы счисления. Подобные устройства обладают двумя группами входов, на которые подаются одноимённые разряды двух складываемых операндов (на рисунке 3.7 обозначены как входы А и В), и входом переноса CR из предыдущего (более младшего) разряда. Выходы, обозначенные как S, предназначены для вывода результатов суммирования соответствующих разрядов, выходы CR – для вывода сигналов переполнения или переноса в следующе старшие разряды.

Далее представлены фрагмент функциональной схемы (рисунок 3.7) и условное графическое обозначение типичного многоразрядного полного сумматора (рисунок 3.8).

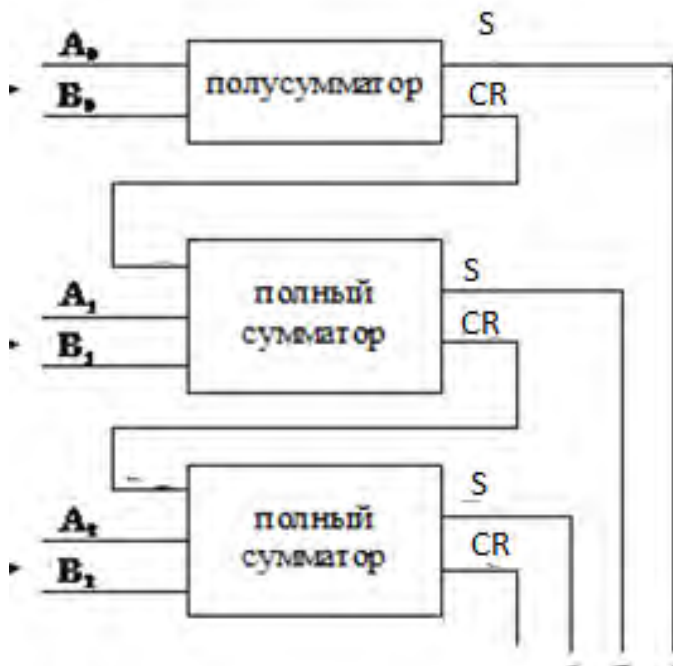


Рисунок 3.7

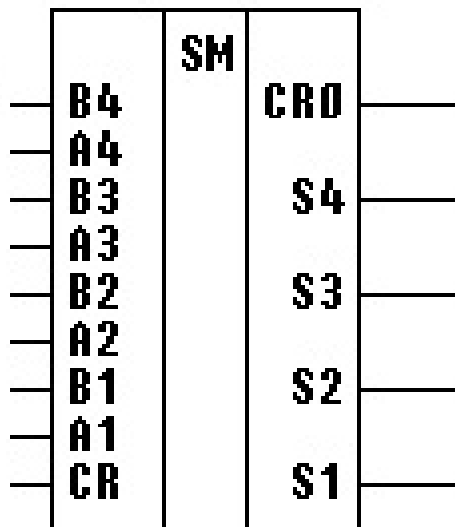


Рисунок 3.8

### 3.5. Требования к отчету и защите

В отчете указываются название, цель работы. Описание выполненных лабораторных заданий с результатами в виде скриншотов, сохраненных результатов моделирования в файле формата соответствующей программы моделирования и выводами по каждому заданию.

На защите проверяются приобретенные знания теоретического и практического материала с демонстрацией результатов моделирования и по ответам на контрольные вопросы для самопроверки.

Отчёт должен содержать:

1. Формулировку цели работы.
2. Детальное описание назначения и особенностей работы моделируемого элемента
3. Таблицу истинности для элемента с 9 - 11 информационными входами (или выходами, или входами + выходами – по согласованию с преподавателем).

\*В качестве основы используйте Таблицу истинности «сложной комбинационной схемы», синтезированной в ходе выполнения предыдущей работы.

4. Принципиальную электрическую схему исходного устройства в базисе «И-НЕ».
5. Выводы о возможности минимизации схемы устройства, результаты проведенной минимизации.
6. Контрольный пример в виде результатов моделирования и таблицы истинности минимизированной схемы.

Отчет предоставляется в электронном виде через ЭИОС

## 4. ЛАБОРАТОРНАЯ РАБОТА № 3. ЭЛЕМЕНТЫ ПРОЦЕССОРОВ ЭВМ. ИССЛЕДОВАНИЕ ПОСЛЕДОВАТЕЛЬНОСТНЫХ ЭЛЕМЕНТОВ

### 4.1. Общие сведения

*Цель:*

исследование изучение номенклатуры и структур типовых триггеров

*Материалы, оборудование, программное обеспечение:*

IBM PC-совместимый персональный компьютер, программа MicroCap 9.0 5.0 Evaluation version, или иная, также являющаяся свободно распространяемой демоверсией профессиональной программы машинного моделирования электронных схем.

*Условия допуска к выполнению:*

Предварительное знакомство с УМП, отсутствие существенных текущих задолженностей по лабораторному практикуму.

*Критерии положительной оценки:*

Выполнение типового задания, оформление отчета по работе, ответы на вопросы для самопроверки.

*Планируемое время выполнения:*

Аудиторное время выполнения (под руководством преподавателя): 4 ч.

Время самостоятельной подготовки: 2 ч.

### 4.2. Теоретическое введение

В состав структур большинства цифровых узлов и схем входят однобитные элементы памяти – триггеры. В отличие от комбинационных схем (КС) значения выходных сигналов последовательностных схем (ПС) в данный момент времени зависят не только от значений входных сигналов в этот же момент времени, но и от их предыдущих значений. Из этого следует, что ПС реализует функциональную связь уже не между отдельными значениями входных и выходных сигналов, а между их последовательностями. Поэтому, в отличие от КС, работу ПС следует рассматривать во времени.

Для того, чтобы значения выходных сигналов зависели от предыдущих значений входных, ПС должны обладать памятью, в которой сохраняется информация о предыдущих входных воздействиях. Эта информация используется в ПС в виде совокупности сигналов, вырабатываемых памятью.

Особое значение при изучении последовательностных схем имеют элементы памяти – триггеры.

Триггеры имеют два устойчивых состояния. Эти состояния определяются по логическим уровням на выходах триггера. Триггер снабжается двумя выходами: прямым Q и инверсным  $\bar{Q}$ . Состояние триггера определяет логический уровень на выходе Q. Говорят, что триггер находится в состоянии логической единицы, если на выходе Q уровень напряжения, соответствующий логической единице.

Триггеры могут иметь входы различного типа:

- R (от англ. RESET) – отдельный вход установки в состояние 0;
- S (от англ. SET) – отдельный вход установки в состояние 1;
- К – вход установки универсального триггера в состояние 0;

- J – вход установки универсального триггера в состояние 1;
- V – вход разрешения;
- C – синхронизирующий вход;
- D – информационный вход;
- T – счетный вход
- и некоторые другие.

Номенклатура триггеров может быть достаточно широкой, так как помимо собственно хранения данных, они выполняют ряд вспомогательных операций, связанных с определением момента времени или события, в которое производится выборка и запоминание данных.

Обычно название триггера дают по имеющимся у него входам: RS-триггер, JK-триггер, D-триггер и др., а по способу записи информации подразделяются на асинхронные и синхронные. Требования унификации привели к появлению многофункциональных элементов, реализующих набор типичных функций и имеющих соответствующие функциям названия.

Основу триггеров составляют простейшие запоминающие ячейки, представляющие собой симметричную структуру из двух логических элементов ИЛИ-НЕ либо И-НЕ, охваченных перекрёстной обратной связью (рисунок 4.1):

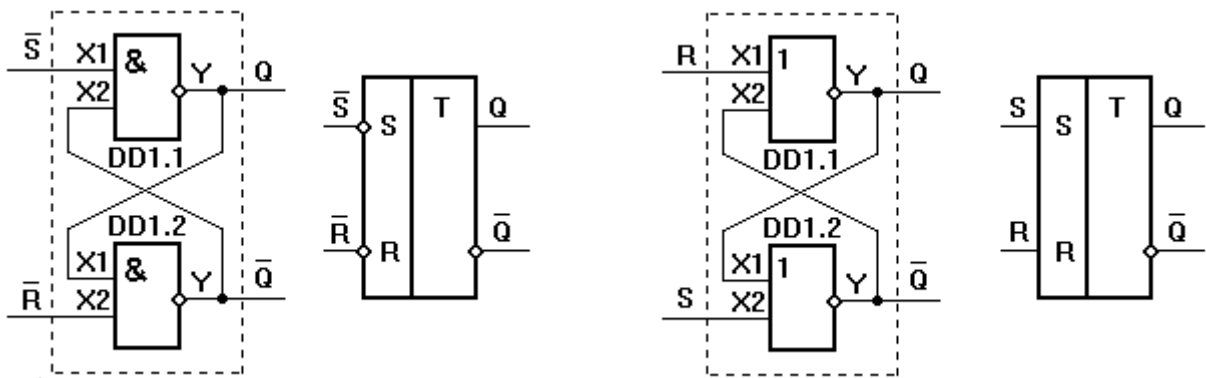


Рисунок 4.1 RS-триггеры на основе элементов И-НЕ и ИЛИ-НЕ. Структуры и условные графические обозначения

Закон функционирования ячейки описывается следующими правилами.

Независимо от того, какую функцию выполняют логические элементы И-НЕ либо ИЛИ-НЕ, ячейки могут находиться в двух устойчивых состояниях: 1 и 0. Состоянию 1 соответствует единичный сигнал на выходе Q, состоянию 0 соответствует единичный сигнал на выходе.

Вход, по которому ячейка устанавливается в состояние 1, обозначается буквой S, а в состоянии 0 – буквой R.

Когда на обоих информационных входах существуют логические нули ( $S=R=0$ ), сигналы на выходе могут иметь одно из двух сочетаний:  $Q=1, \bar{Q}=0$  либо  $Q=0, \bar{Q}=1$ , так как каждый логический элемент ИЛИ-НЕ инвертирует входные сигналы, а переключающим сигналом служит единица. Допустим, что  $Q=1$ . Этот сигнал, воздействуя на вход нижнего элемента, создаёт на его выходе  $\bar{Q}=0$ . В свою очередь, на входах верхнего элемента два нулевых сигнала – со входа R и с выхода, обеспечивают  $Q=1$ . Состояние это устойчивое.

Если на один из входов подать единичный сигнал, сохраняя нулевой на другом, триггер примет состояние, которое однозначно определяется входной информацией. При входных сигналах  $S=1, R=0$  триггер принимает единичное состояние  $Q=1, \bar{Q}=0$ , а при



$S=0, R=1$  – нулевое:  $Q=0, \bar{Q}=1$ . При появлении управляющего сигнала на одном из входов происходит либо опрокидывание триггера, либо подтверждение существующего состояния, если оно совпадает с требуемым.

Если одновременно подать переключающие сигналы на оба входа ( $S=R=1$ ), на обоих выходах появятся логические нули ( $Q=\bar{Q}=0$ ) и устройство утратит свойства триггера. Поэтому комбинацию  $S=R=1$  называют неопределённой.

Переход от неопределённой комбинации к нейтральной ( $S=R=0$ ) называют запрещённой комбинацией, так как состояние выходов при этом восстанавливается, но с равной вероятностью оно может стать единичным, так и нулевым, т. е. ведёт к непредсказуемому поведению триггера.

Триггер, который переключается сигналами логической единицы, т.е. на логических элементах ИЛИ-НЕ, называют триггером с прямыми входами (RS-триггер). Триггер, который переключается сигналами логического нуля, т.е. на логических элементах И-НЕ, называют триггером с инверсными входами. Для такого триггера неопределённая комбинация (н/о):  $S=R=0$ .

RS-триггеры служат базовыми для создания на их основе иных типов триггеров, функционирующих в соответствии с собственными законами.

Для представления законов функционирования ПС используются специальные языки, в том числе – формулы; таблицы, в которых записываются состояния на входах и выходах триггера в различные моменты времени; временные диаграммы и автоматные модели.

Например, модель триггера может быть представлена следующей системой функций, описывающих выходные сигналы  $y$  в последующий момент времени как функцию от входных и выходных сигналов в текущий момент:

$$y_1(t+1) = f(x_1(t), y_2(t)) = \overline{x_1(t) \& y_2(t)},$$

$$y_2(t+1) = f(x_2(t), y_1(t)) = \overline{x_2(t) \& y_1(t)}$$

На временной диаграмме (рисунок 4.2) показано, как меняются сигналы на выходах триггера при изменении сигналов на его входах.

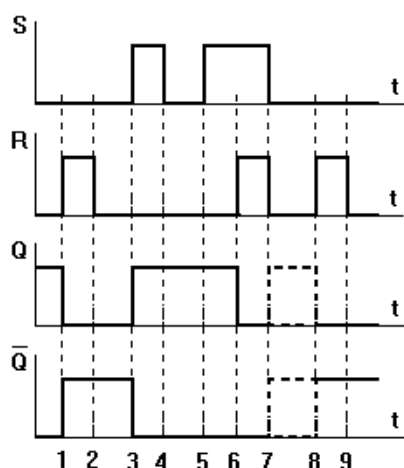


Рисунок 4.2. Временная диаграмма работы RS-триггера с прямыми входами

Автоматная модель описывает весь процесс смены состояний выходов триггера как в статике, так и в динамике (например, при переключении между его устойчивыми состояниями происходит переход через состояние 11).

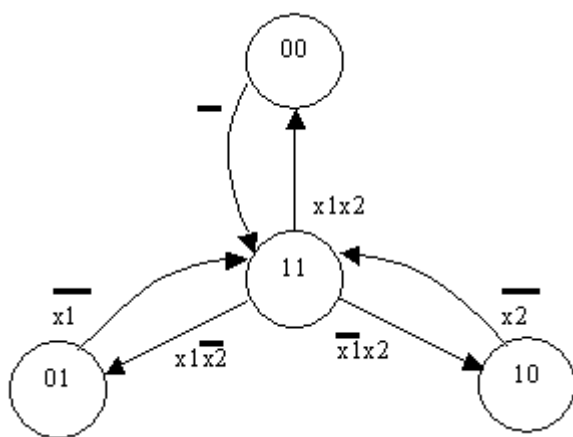


Рисунок 4.3. Автоматная модель RS-триггера с прямыми входами

*Литература:*

Суханова, Н.В. Основы электроники и цифровой схемотехники [Электронный ресурс] : учебное пособие / Н.В. Суханова ; Министерство образования и науки РФ, Воронежский государственный университет инженерных технологий. - Воронеж : Воронежский государственный университет инженерных технологий, 2017. - 97 с. (ЭБС «Университетская библиотека онлайн») Стр. 73-79

Кардашев, Г.А. Цифровая электроника на персональном компьютере. Electronics Workbench и Micro-Cap / Г. А. Кардашев. - Москва : Горячая линия-Телеком, 2003. Стр. 168-208

*Контрольные вопросы для самопроверки:*

1. Можно ли описать логику работы триггера с помощью таблицы истинности?
2. Какими языковыми средствами используются при описании работы последовательностных средств?
3. В чём состоит основное отличие последовательностных и комбинационных схем?
4. В чём отличия автоматов Мили и Мура?
5. Современные триггеры являются автоматами Мура или Мили? Почему?

### 4.3. Задание к лабораторной работе

1. Изучите теоретическую часть методических указаний и выполните задания 4.4.1 - 4.4.3.
2. Оформите отчет в виде файла с названием «*Фамилия*, Лаб 4.doc».

### 4.4. Методические указания и порядок выполнения работы

#### 4.4.1. Исследование асинхронного RS-триггера

В асинхронных триггерах состояние на выходе изменяется сразу же после изменения сигнала на информационных входах.

Модель, имитирующая работу асинхронного RS-триггера, аналогичному описанному выше, показана на рисунке 4.4. Триггер образован двумя комбинационными элементами И-НЕ, соединенными таким образом, что возникает положительная обратная

связь, благодаря чему в устойчивом состоянии выход одного элемента закрыт, а другого - открыт.

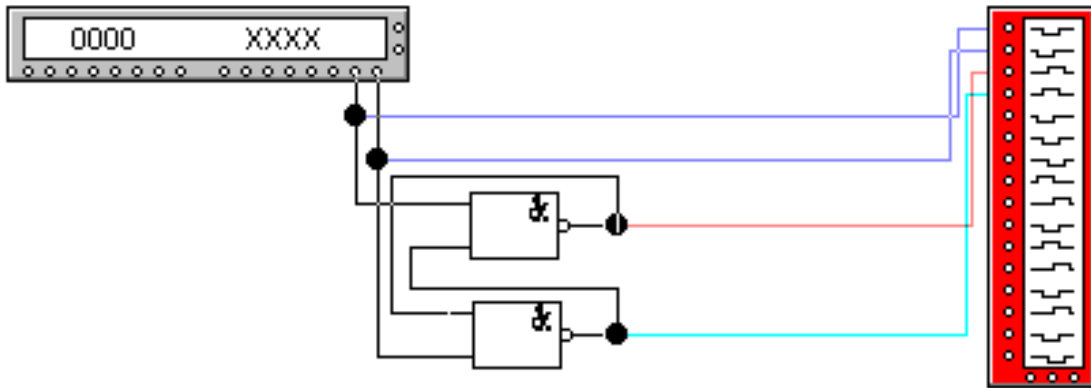


Рисунок 4.4. Схема асинхронного RS-триггера, собранная в EWB

Временная диаграмма, иллюстрирующая работу асинхронного RS-триггера, показана на рисунке 4.5.

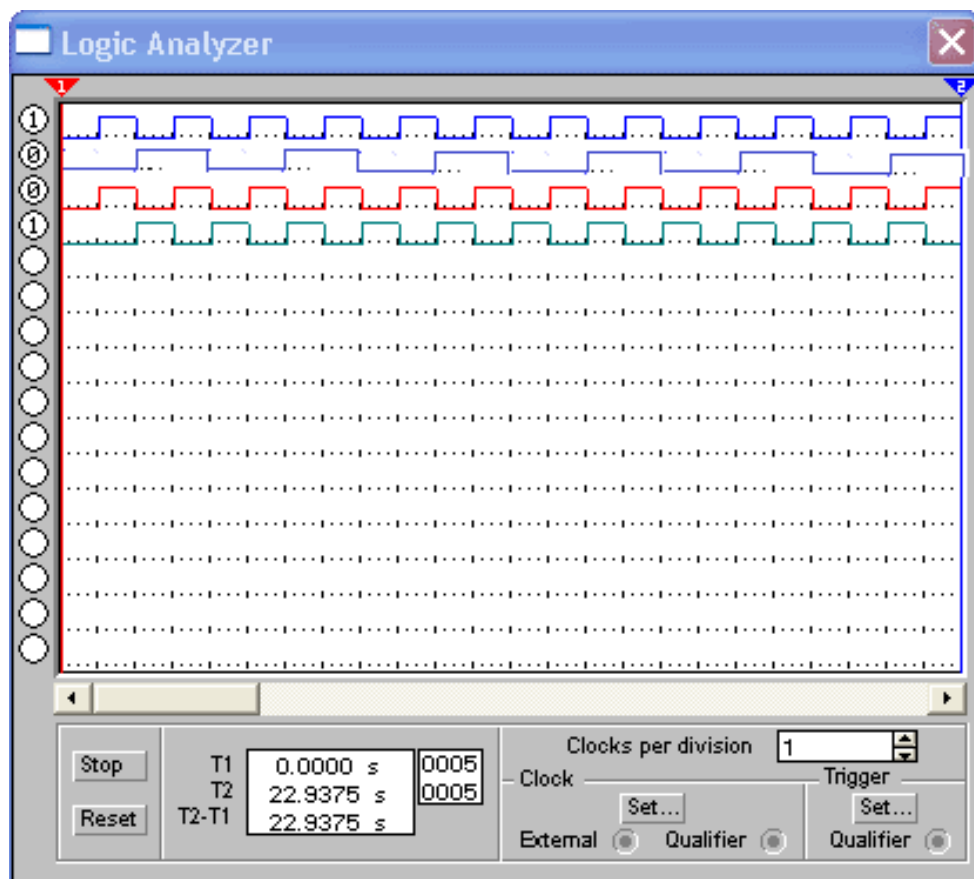


Рисунок 4.5. Временная диаграмма, иллюстрирующая работу асинхронного RS-триггера. (Обратите внимание, что выходные сигналы, обозначенные красным и бирюзовым цветом, приведены в качестве примера и могут не соответствовать правильным!).

### Задание 4.4.1.

- Соберите схему согласно рисунку 4.4.
- Подайте на входы сигналы, аналогичные показанным на рисунке 4.5 и снимите диаграммы выходных сигналов (сделайте скриншоты).
- Поменяйте местами входные сигналы и вновь снимите выходные диаграммы.
- Сравните и объясните полученные результаты (*перестановка входов привела к... потому что...*).
- Сравните результаты с диаграммой, представленной на рисунке 4.2 (*Диаграмма на рисунке 4.2 демонстрирует... так как...*).
- Предложите вид диаграммы входных сигналов, позволяющей выявить все характерные особенности поведения RS-триггера (*Для демонстрации всех особенностей поведения триггера необходимо подавать на его входы сигналы в следующей последовательности... На первом этапе определяется... На втором выявляется... На третьем устанавливается... Четвертый показывает...*). Подсказка: «А не правда ли, что для проверки функционирования триггера следует последовательно проверить все переходы между состояниями, как показано на рисунке 4.3.?»

### 4.4.2. Исследование синхронного RS-триггера со статическим синхрвходом

В синхронных триггерах для передачи сигнала с информационных входов на выход требуется специальный синхронизирующий импульс.

Синхронные триггеры подразделяются на триггеры со статическим синхрвходом (управлением) и триггеры с динамическим синхрвходом (управлением). На рисунках 4.6 а и в приведены варианты реализации принципиальных электрических схем в различных базисах, а на рисунке 4.6. б - условное графическое обозначение синхронного триггера с прямыми RS-входами и статическим синхрвходом.

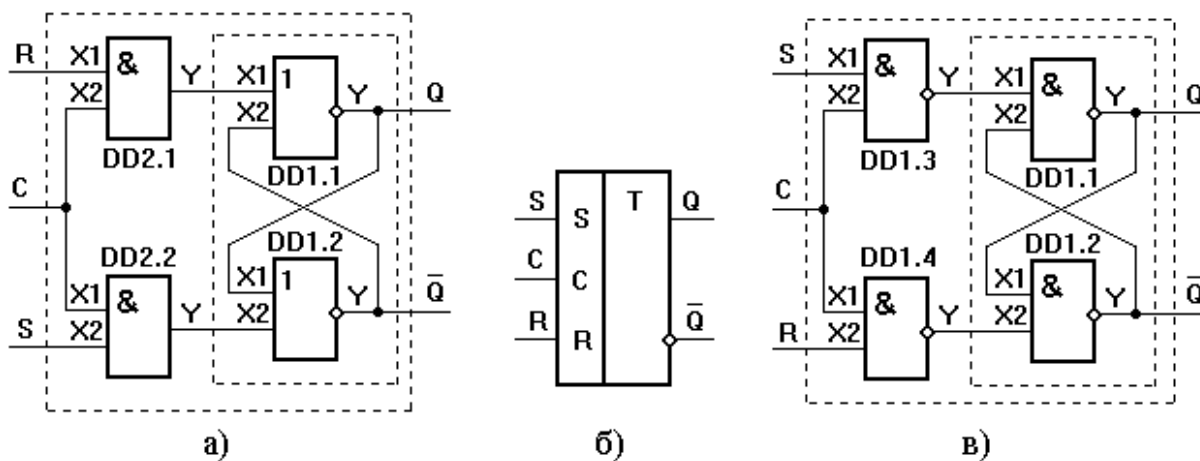


Рисунок 4.6. Синхронный RS-триггер со статическими входами

Из анализа работы логических элементов видно, что при  $C=0$  на входах R, S асинхронного триггера на элементах DD1.1 и DD1.2 действуют сигналы логического нуля (логический ноль является пассивным логическим уровнем для логических элементов ИЛИ-НЕ), поэтому при любых комбинациях сигналов на входах R, S синхронного RS-триггера состояние триггера не меняется. При  $C=1$  рассмотренный синхронный RS-триггер работает точно так же, как рассмотренный ранее асинхронный RS-триггер с прямыми входами.

Данный синхронный RS-триггер относится к триггерам со статическим синхровходом, так описанные условия работы остаются неизменными все время, пока поддерживается текущее значение сигнала на входе С.

#### Задание 4.4.2.

- Проанализируйте взаимозависимость сигналов, подаваемых на входы S, R и C триггера. В какой последовательности и с какой частотой должны изменяться данные сигналы в процессе исследования поведения триггера? (Сигнал с первого выхода генератора слов, имеющий наибольшую частоту, необходимо подавать на вход... так как... Сигнал со следующего выхода подадим ...)
- По рисунку 4.6 на основе рисунка 4.4 самостоятельно соберите схему для исследования работы триггера.
- Получите с помощью EWB временную диаграмму, наглядно демонстрирующую особенности функционирования данного триггера. Сделайте необходимые скриншоты.

#### 4.4.3. Исследование синхронного RS-триггера с динамическим синхровходом

В триггерах с динамическим управлением передача сигналов с информационных входов на выходы осуществляется либо по фронту, либо по спаду (срезу) синхронизирующего импульса.

На рисунке 4.7, а приведена принципиальная схема синхронного RS-триггера с динамическим входом, а его условное графическое обозначение – на рисунке 4.7, б.

Если в обозначении синхронного RS-триггера с динамическим входом стрелка на входе С направлена к триггеру, то передача сигналов с информационных входов на выходы происходит по фронту импульса, а если стрелка направлена от обозначения триггера – передача сигнала осуществляется по спаду.

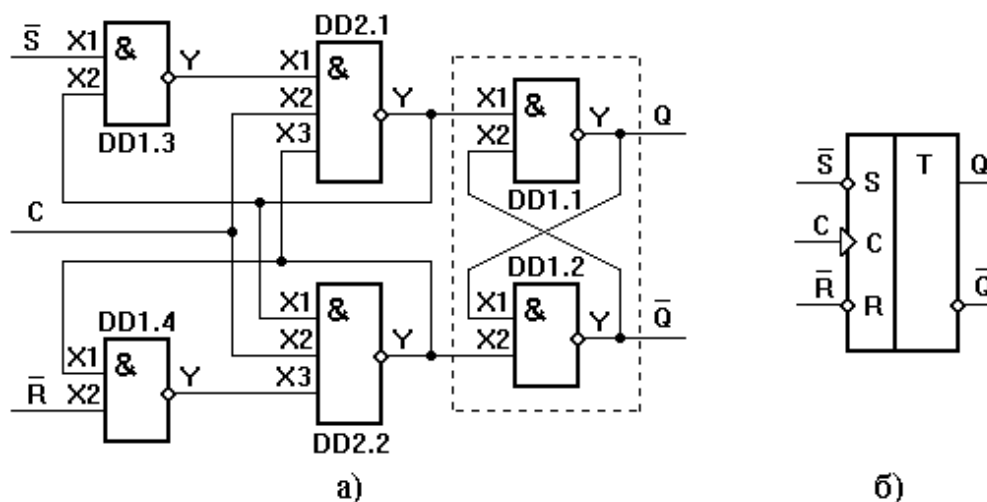


Рисунок 4.7. Синхронный RS-триггер с динамическим синхровходом

Из анализа работы логических элементов видно, что состояние триггера не меняется как при изменении сигналов на входах S и R при C=0, так и при C=1, если триггер переключился по фронту синхронизирующего импульса. При C=0 на выходах элементов DD2.1, DD2.2 будут сигналы логической единицы, и состояние на выходе триггера изменяться не будет при любых изменениях сигналов на входах R и S.

Установим на инверсном входе S уровень логического нуля, на инверсном входе R уровень логической единицы, и сигнал на входе C изменим с логического нуля на логическую единицу. На выходе элемента DD2.1 появится сигнал логического нуля и триггер перейдет в единичное состояние, или состояние триггера не изменится, если он находился в единичном состоянии. Оставляя на входе C сигнал логической единицы, перевести триггер в нулевое состояние не удастся. Для перевода триггера в противоположное состояние обязательно необходимо подать синхронизирующий импульс.

#### **Задание 4.4.3.**

- a. Предложите последовательность сигналов, подаваемых на входы триггера, предназначенную для выявления особенностей его поведения, описанных выше. (*Проверим утверждение, что при  $C=0$  на выходах элементов DD2.1, DD2.2 будут сигналы логической единицы, и состояние на выходе триггера изменяться не будет при любых изменениях сигналов на входах R и S... Для этого подадим на вход.... а затем...*).
- b. Постройте временную диаграмму для входных сигналов и на ее основе запрограммируйте генератор слов.
- c. По рисунку 4.7 соберите схему синхронного триггера и убедитесь в его корректной работе в соответствии с ожидаемой диаграммой. Сделайте необходимые скриншоты.

### **4.5. Требования к отчету и защите**

В отчете указываются название, цель работы. Описание выполненных лабораторных заданий с результатами в виде скриншотов, сохраненных результатов моделирования в файле формата соответствующей программы моделирования и выводами по каждому заданию.

На защите проверяются приобретенные знания теоретического и практического материала с демонстрацией результатов моделирования и по ответам на контрольные вопросы для самопроверки.

Отчёт должен содержать:

1. Формулировку цели работы.
2. Описание назначения и особенностей работы моделируемого элемента.
3. Изложение хода исследования, подтвержденного скриншотами схем и временными диаграммами.
4. Выводы по работе.

## 5. ЛАБОРАТОРНАЯ РАБОТА № 4. ИССЛЕДОВАНИЕ ЭЛЕМЕНТОВ РЕГИСТРОВОЙ И ОПЕРАТИВНОЙ ПАМЯТИ ЭВМ. JK-, D-ТРИГГЕРЫ, РЕГИСТРЫ, СЧЕТЧИКИ

### 5.1. Общие сведения

*Цель:*

изучение номенклатуры и структур типовых элементов с памятью

*Материалы, оборудование, программное обеспечение:*

IBM PC-совместимый персональный компьютер, программа MicroCap 9.0 5.0 Evaluation version, или иная, также являющаяся свободно распространяемой демоверсией профессиональной программы машинного моделирования электронных схем.

*Условия допуска к выполнению:*

Предварительное знакомство с УМП, отсутствие существенных текущих задолженностей по лабораторному практикуму.

*Критерии положительной оценки:*

Выполнение типового задания, оформление отчета по работе, ответы на вопросы для самопроверки.

*Планируемое время выполнения:*

Аудиторное время выполнения (под руководством преподавателя): 8 ч.

*Время самостоятельной подготовки: 2 ч:*

### 5.2. Теоретическое введение

RS-триггеры являются основой для построения более сложных схем с памятью. В общем случае подобные схемы отличаются наличием комбинационной части, используемой для задания логики формирования сигналов переключения внутреннего RS-триггера, и выходных сигналов, зависящих как от состояния RS-триггера, так и от входных сигналов.

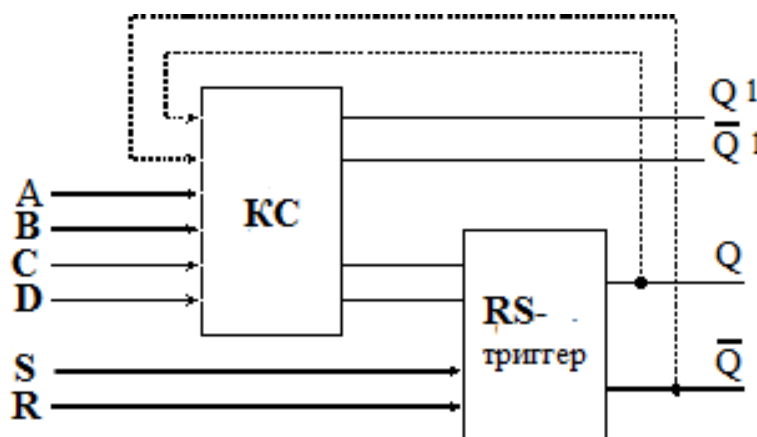


Рисунок 5.1. Общая структура триггера

На рисунке 5.1 приведен пример структурной схемы триггера, логика функционирования которого определяется входными сигналами A–D, где:

A, B, C, D – входы комбинационной схемы (КС), определяющей логику переключения состояний триггера

Q,  $\bar{Q}$  – выходы внутреннего RS-триггера

Q1,  $\bar{Q}1$  – внешние выходы триггера

*Литература:*

Суханова, Н.В. Основы электроники и цифровой схемотехники [Электронный ресурс] : учебное пособие / Н.В. Суханова ; Министерство образования и науки РФ, Воронежский государственный университет инженерных технологий. - Воронеж : Воронежский государственный университет инженерных технологий, 2017. - 97 с. (ЭБС «Университетская библиотека онлайн») Стр. 73-79.

Кардашев, Г.А. Цифровая электроника на персональном компьютере. Electronics Workbench и Micro-Cap / Г. А. Кардашев. - Москва : Горячая линия-Телеком, 2003. Стр. 209-262.

*Контрольные вопросы для самопроверки:*

1. В чём заключаются отличия статического и динамического синхровходов?
2. Что такое двухтактный триггер?
3. Каково предназначение синхровхода?
4. Существуют ли асинхронные D-триггеры?
4. Почему JK-триггер получил название универсального?
5. Как из JK-триггера получить триггер со счётным входом?

### 5.3. Задание к лабораторной работе

#### 5.4. Методические указания и порядок выполнения работы

1. Изучите теоретическую часть методических указаний и выполните задания 5.1 -5.5.
2. Оформите отчет в виде файла с названием «*Фамилия*, Лаб 5.doc».

##### 5.4.1. Исследование JK-триггера

Из схемы JK-триггера (рисунок 5.2), соответствующей структуре, показанной на рисунке 4.1, следует, что его состояние зависит не только от сигналов на входах J и K, но и от логически связанных с ними сигналов Q и  $\bar{Q}$ .

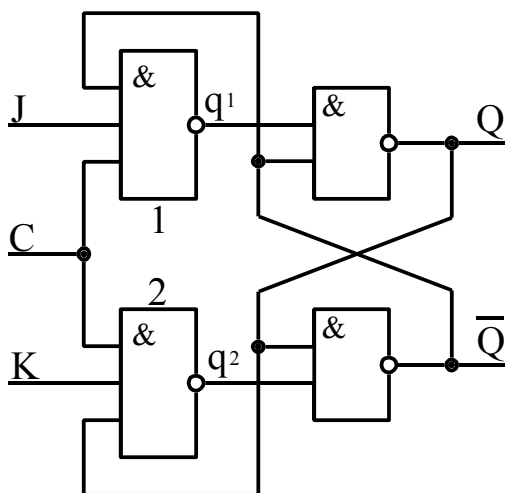


Рисунок 5.2. JK-триггер



Функциональная особенность JK-триггера состоит в том, что при всех входных комбинациях, кроме одной  $J=K=1$ , он действует подобно RS-триггеру, причём вход J играет роль входа S, а K-вход соответствует R-входу.

При  $J=K=0$  на выходах элементов 1 и 2 будет  $q_1=q_2=1$  (независимо от значений сигналов Q и  $\bar{Q}$ ), а что представляет нейтральную комбинацию для триггерной ячейки, которая хранит записанную ранее информацию. Когда  $J \neq K$ , выходное состояние триггера будет определяться логическим элементом 1 или 2, на всех входа которого действует логическая 1.

Входная комбинация  $J=K=1$  при любом состоянии триггера вызывает его переброс. Действительно, если  $Q=1$ , а  $\bar{Q}=0$ , то  $q_1=1$ , а  $q_2=0$  (так как  $K=Q=1$ ). Сигнал  $q_2=0$  переключит триггерную ячейку. Переброс будет также иметь место при выходном состоянии  $Q=0$ , а  $\bar{Q}=1$ . В этом случае окажется  $q_1=0$ ,  $q_2=1$  и триггерная ячейка опрокинется, принимая противоположное состояние  $Q=1$ , а  $\bar{Q}=0$ .

Таким образом, подобно RS-триггеру, в JK-триггере J и K – это входы установки триггера в единицу или ноль. В отличие от RS-триггеров, в JK-триггере наличие двух единичных управляющих сигналов ( $J=K=1$ ) приводит к переходу триггера в противоположное состояние. Причём, начиная с момента опрокидывания триггера, управляющее действие сигналов на входах J и K прекращается, так как изменяются сигналы на выходах логических элементов 1 и 2 ( $q_1, q_2$ ).

#### Задание 5.4.1.

- Изучите схему рисунке 5.2. На основе рисунке 4.8 постройте автоматную модель триггера.
- На основе автоматной модели предложите последовательность сигналов J, C, K, обеспечивающую выявление всех характерных особенностей работы триггера. Опишите каждый такт временной диаграммы.
- Синтезируйте схему в EWB, подайте с генератора слов соответствующие последовательности на входы, зафиксируйте поведение схемы с помощью логического анализатора, сделав скриншоты.
- Сравните полученные результаты с ожидаемыми.

#### 5.4.2. Исследование D-триггера

В синхронных RS-триггерах со статическим управлением остается неоднозначность состояния на выходе триггера, если с входов R, S одновременно убирать активные уровни сигналов. Для устранения неоднозначности в схему синхронного RS-триггера добавляют логический элемент «НЕ». Получившийся триггер является D-триггером со статическим управлением (рисунок 5.3, а).

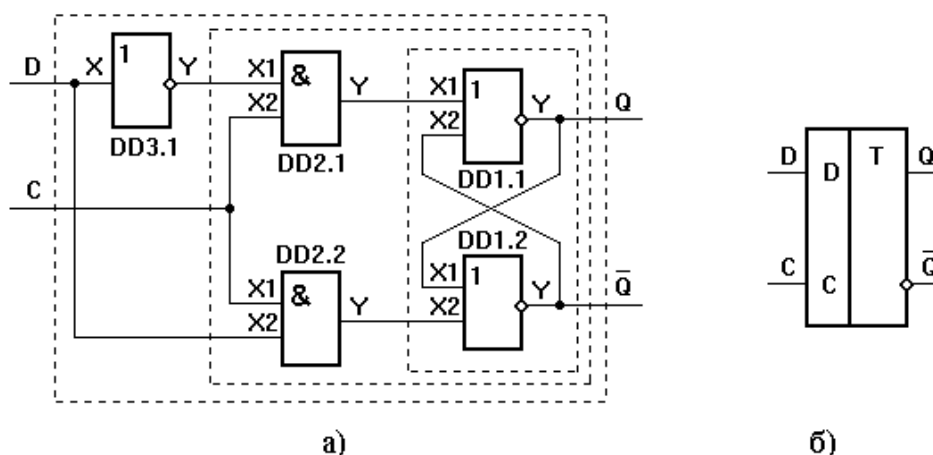


Рис.5.3. Структуры D-триггера со статическим синхровходом

Такой триггер также называется триггером задержки, так как при разрешающем сигнале на синхровходе он устанавливается в состояние, соответствующее ранее поступившему сигналу на вход D.

В паузах между синхроимпульсами логические элементы DD2.1 и DD2.2 схемы управления закрыты и на их выходах существуют сигналы  $Y=0$ , что служит нейтральной комбинацией для триггерной ячейки, триггер хранит записанную информацию.

Аналогичными свойствами обладает другая реализация триггера, приведенная на рисунке 5.3, в.

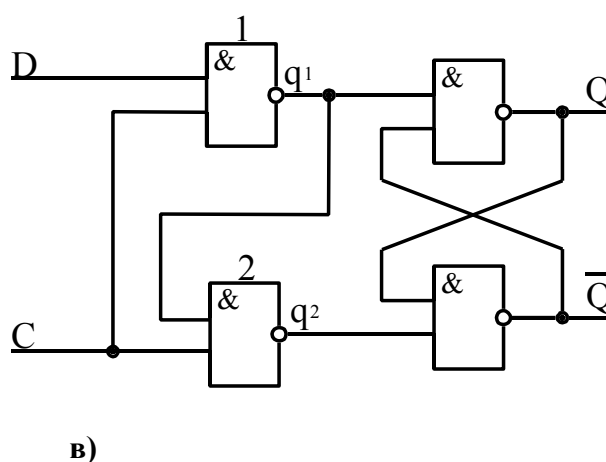


Рис.5.3. Окончание

Отличительной чертой элементов со статическим синхровходом является то, что при высоком уровне на входе C выходные сигналы фактически повторяют сигнал, поступающий на вход D. Этот недостаток устранен в D-триггерах с динамическим управлением (синхровходом). В них передача информации с информационных входов на выходы осуществляется либо по фронту синхронизирующего импульса, либо по спаду синхронизирующего импульса.

Функциональная схема D-триггера с передачей информации с входа на выход триггера по фронту синхронизирующего импульса приведена на рисунке 5.4 а, а его условное обозначение на принципиальных схемах – на рисунке 5.4 б.

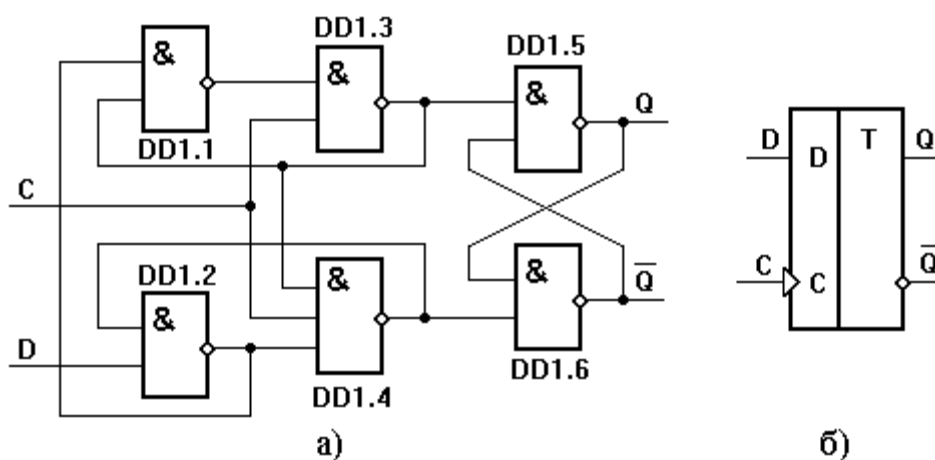


Рис. 5.4. D-триггеры с динамическим управлением

При  $C=0$  на выходах элементов DD1.3, DD1.4 будут сигналы логических единиц и состояние на выходе триггера не изменится при любых изменениях сигнала на входе D.

Установим на входе D сигнал логической единицы и изменим на входе C сигнал с логического нуля на единицу. Перед подачей на вход C сигнала логической единицы на выходе элемента DD1.2 логический нуль, а на верхнем входе элемента DD1.3 логическая единица. При появлении на входе C логической единицы на выходе элемента DD1.3 установится логический нуль, а на прямом выходе триггера – логическая единица. Сигнал логического нуля подается с выхода элемента DD1.3 на нижний вход элемент DD1.1 и на верхний вход элемента DD1.4. Оставляя на входе C логическую единицу, изменим сигнал на входе D с логической единицы на нуль. На выходе элемента DD1.2 установится логическая единица, а сигналы на выходах элементов DD1.1, DD1.3 не изменятся, следовательно, не изменится состояние на выходе триггера.

При D=0 изменим сигнал на входе C с логической единицы на нуль. На выходах элементов DD1.3, DD1.4 будут логические единицы, а на прямом выходе триггера останется сигнал логической единицы. Затем изменим сигнал на входе C с логического нуля на логическую единицу. На выходе DD1.4 установится логический нуль, на инверсном выходе триггера логическая единица, а прямом выходе – логический нуль. Из анализа работы данного триггера следует, что в нем передача информации с входа D на выход Q осуществляется по фронту синхронизирующего импульса, подаваемого на вход C.

В структуре схемы рисунка 5.4 фактически используются три RS-триггера, выполненные соответственно на логических элементах: DD1.2 и DD1.4; DD1.1 и DD1.1; DD1.5 и DD1.6. При этом первый триггер управляется непосредственно входным сигналом, состояние следующего зависит от первого, и они оба определяют состояние выходного триггера, сохраняющего значение сигнала D до очередного обновления по фронту синхроимпульса.

Сходным поведением обладают так называемые двухтактные (или «Master-Slave») триггеры.

#### Задание 5.4.2.

- a. Соберите схемы 5.3, в и 5.4, подайте на входы C и D с генератора слов последовательности, показанные на рисунке 5.5, зафиксируйте поведение схемы с помощью логического анализатора, сделайте скриншоты.

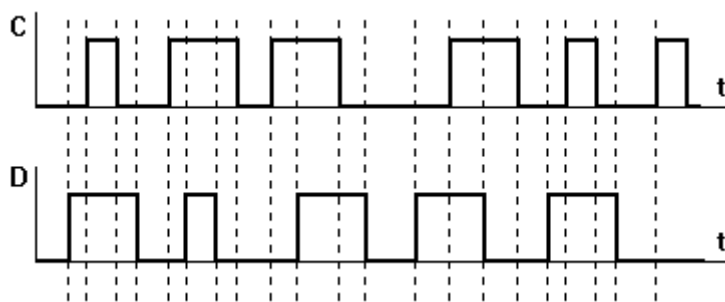


Рисунок 5.5. Тестовая последовательность сигналов генератора слов

- b. Сравните полученные временные диаграммы, объясните полученные результаты.

#### 5.4.3. Исследование двухтактного триггера

Двухтактный триггер состоит из двух триггеров: главного («Master») и вспомогательного («Slave»). Иногда главный триггер называют ведущим, а вспомогательный ведомым. В качестве триггеров каскадов применяются однотипные триггеры со статическими синхривходами – например, RS, D, JK.

Цепь синхронизации управляет каскадами поочередно, таким образом, что по окончании синхронизирующего (тактового) импульса вспомогательный триггер переписывает информацию с выхода главного триггера.

На рис. 5.6 приведена схема двухтактного RS-триггера, в котором, по сравнению с одноктактным прототипом, устранена неопределенность, возникающая при одновременном снятии активных логических сигналов с входов R и S.

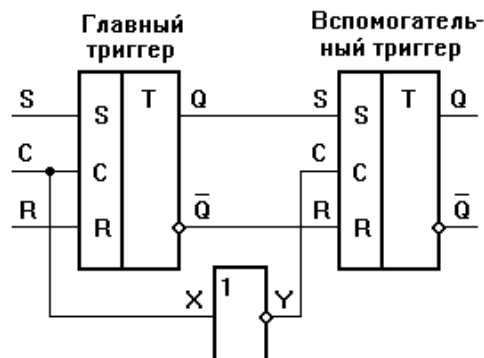


Рисунок 5.6. Двухтактный RS-триггер

### Задание 5.4.3.

- Соберите схему двухтактного D-триггера на основе схем триггеров, приведенных на рисунке 5.3..
- Подайте с генератора слов на входы схемы последовательности, показанные на рисунке 5.5, зафиксируйте поведение схемы с помощью логического анализатора, сделав скриншоты.
- Сравните результаты с полученными при выполнении задания 5.2, объясните результаты.

### 5.4.4. Исследование асинхронных счетчиков

Счетчиком называют цифровое устройство, обеспечивающее подсчет числа электрических импульсов. Коэффициент пересчета счетчика равен минимальному числу импульсов, поступивших на вход счетчика, после которых состояния на выходе счетчика начинают повторяться. Таким образом, простейший одноразрядный счетчик должен переключаться в противоположное состояние по приходу каждого очередного синхроимпульса. Очевидно, данными способностями будет обладать двухтактный RS-триггер, охваченный обратными связями, как показано на рисунке 5.7.

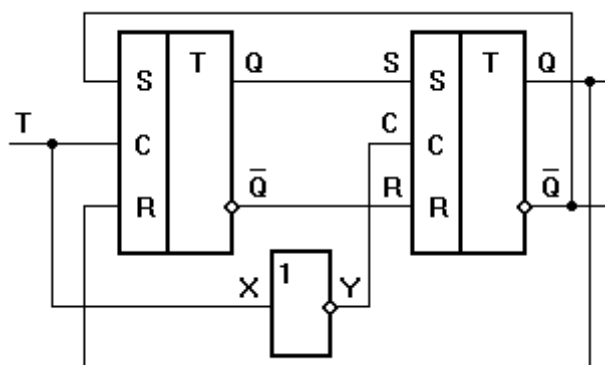


Рисунок 5.7. Счетный триггер (Т-триггер) на базе двухтактного RS-триггера

T-триггер может быть также построен на основе других типов триггеров соответствующим заданием обратных связей с помощью КС.

Последовательным включением отдельных каскадов можно построить многоразрядный асинхронный счетчик (под асинхронностью в данном случае понимается неодновременность появления сигналов на выходах различных разрядов).

Счетчик называют суммирующим, если после каждого очередного импульса цифровой код на выходе счетчика увеличивается на единицу. В вычитающем счетчике после каждого импульса на входе счетчика цифровой код на выходе уменьшается на единицу. Счетчики, в которых возможно переключение с режима суммирования на режим вычитания, называются реверсивными.

Наряду с двоичными, существуют счетчики с иными модулями счета (например, двоично-десятичные), а также использующие не позиционные системы (например, код Грея).

#### **Задание 5.4.4.**

- a. Соберите схему T-триггера на основе D-триггера (рисунок 4.4 или синтезированного согласно заданию 4.3). Проверьте его работоспособность. Уточните, по фронту или по срезу сигнала происходит переключение.
- b. Найдите в библиотеке элементов EWB триггеры, функционально аналогичные собранному, и постройте на их основе многоразрядные двоичные суммирующий и вычитающий счетчики. Зафиксируйте поведение схем с помощью логического анализатора, сделав скриншоты.

#### 5.4.5. Исследование регистров

Набор триггеров образует регистровое запоминающее устройство (регистр памяти, регистр).

Помимо фиксации и хранения многоразрядного слова данных, регистры, как правило, выполняют их обработку. С этой целью триггеры, образующие регистр, дополняются комбинационной схемой (аналогично рисунку 4.1), с помощью которой обеспечивается выполнение следующих типичных операций над словами:

- установка регистра в начальное состояние (сброс);
- прием слова в регистр;
- передача слова из регистра;
- поразрядовые логические операции;
- сдвиг слова влево или вправо на заданное число разрядов;
- преобразование последовательного кода слова в параллельный и обратно.

Внутренняя структура типичного регистра приведена на рисунке 5.8.

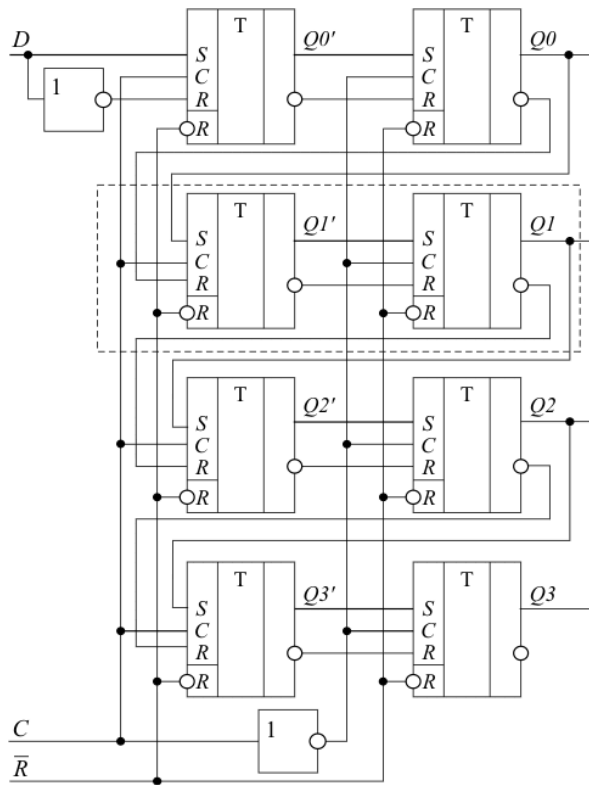


Рисунок 5.8. Внутренняя структура типичного регистра сдвига, выполненного на основе RS-триггеров

Поскольку выполняемые функции являются стандартными для большинства применений, регистры в настоящее время представлены достаточно широкой номенклатурой в ИМС различных серий.

В библиотеку EWB входят несколько разновидностей регистров, в том числе – многофункциональный восьмиразрядный регистр 74198 (отечественный аналог - К155ИР13). Условные графические обозначения регистра, соответствующие отечественным стандартам и используемые в EWB, приведены на рисунке 4.9. Обратите внимание на несовпадение обозначений некоторых выводов!

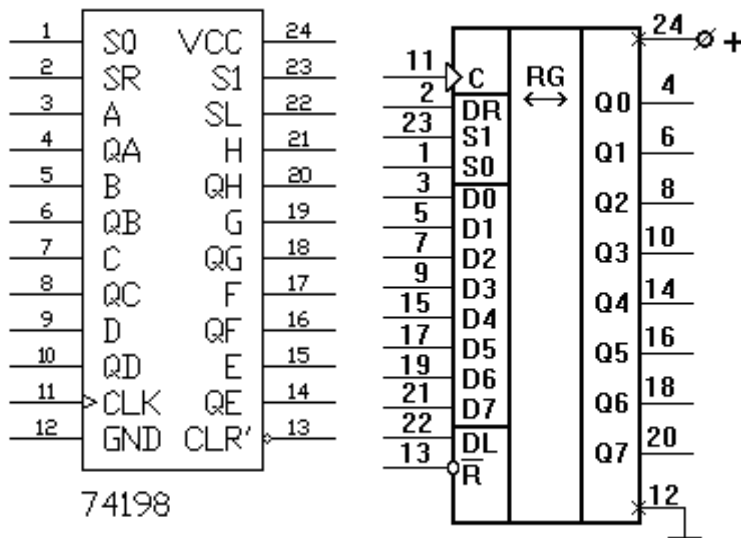


Рисунок 5.9. Регистр 74198 (отечественный аналог - К155ИР13)

Универсальный сдвиговый регистр применяется для преобразования информации из последовательной формы представления в параллельную и, наоборот, из параллельной в последовательную. Это необходимо, например, в сетевых картах, накопителях на жестких дисках, устройствах USB.

Регистр имеет как восемь входов для параллельной записи, так и соответствующие им восемь выходов параллельной информации. Сдвиг осуществляется по положительному фронту тактового сигнала С, причем сдвиг возможен как в сторону старших разрядов (вправо), так и в сторону младших разрядов (влево). Для наращивания разрядности у регистра ИР13 имеются последовательные информационные входы DR и DL, сигналы с которых вдвигаются, соответственно, в младший и в старший разряды. Предусмотрен сброс всех выходов регистра в нуль по нулевому сигналу на входе –R. При единице на входе SR и нуле на входе SL по фронту сигнала С происходит сдвиг в сторону старших разрядов. При нуле на входе SR и единице на входе SL по фронту сигнала С происходит сдвиг в сторону младших разрядов. При обоих единичных сигналах на входах SR и SL по фронту сигнала С происходит параллельная загрузка информации в регистр..

Для преобразования информации из последовательной формы в параллельную необходимо на вход С подавать синхронизирующие импульсы, согласованные во времени с информационными импульсами на одном из последовательных входов. Для преобразования информации из параллельной формы представления в последовательную предварительно в регистр записывают информацию с информационных входов D0-D7, затем осуществляют сдвиг информации в нужную сторону, а сигнал снимают с выхода Q0 или Q7.

Входы				Функция
С	-R	SR	SL	
X	0	X	X	Сброс
0 → 1	1	1	0	Сдвиг вправо
0 → 1	1	0	1	Сдвиг влево
0 → 1	1	0	0	Хранение
0 → 1	1	1	1	Параллельная запись

**Задание 5.4.5.** Исследуйте работу регистра сдвига согласно следующей методике.

- Осуществить передачу информации с входов D0-D7 на выходы Q0-Q7 подачей синхронизирующего импульса положительной полярности на вход С. На входе R должен быть сигнал логической "1".
- Осуществить ввод информации (логических нулей и логических единиц) с входа DR (на входе R должен быть сигнал логической "1").
- Осуществить ввод информации (логических нулей и логических единиц) с входа DL (на входе R должен быть сигнал логической "1").
- Проверить режим хранения информации (на входе R должен быть сигнал логической "1").
- Произвести установку регистра в "0".
- Изобразить временную диаграмму работы регистра в режиме последовательного ввода информации с входа DR или DL.

### 5.5. Требования к отчету и защите

В отчете указываются название, цель работы. Описание выполненных лабораторных заданий с результатами в виде скриншотов, сохраненных результатов

моделирования в файле формата соответствующей программы моделирования и выводами по каждому заданию.

На защите проверяются приобретенные знания теоретического и практического материала с демонстрацией результатов моделирования и по ответам на контрольные вопросы для самопроверки.

Отчёт должен содержать:

1. Формулировку цели работы.
2. Описание назначения и особенностей работы моделируемых элементов.
3. Изложение хода исследований, подтвержденного скриншотами схем и временными диаграммами.
4. Выводы по работе.

Отчет предоставляется в электронном виде через ЭИОС



## 6. ЛАБОРАТОРНАЯ РАБОТА № 5. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА ЭВМ. ИССЛЕДОВАНИЕ СТРУКТУР И ФУНКЦИЙ. СИНХРОННЫЕ СЧЕТЧИКИ. МИКРОПРОГРАММНЫЕ УСТРОЙСТВА

### 6.1. Общие сведения

#### *Цель:*

изучение принципов построения микропрограммных автоматов, приобретение навыков синтеза микропрограммных устройств управления.

#### *Материалы, оборудование, программное обеспечение:*

IBM PC-совместимый персональный компьютер, программа MicroCap 9.0 5.0 Evaluation version, или иная, также являющаяся свободно распространяемой демоверсией профессиональной программы машинного моделирования электронных схем.

#### *Условия допуска к выполнению:*

Предварительное знакомство с УМП, отсутствие существенных текущих задолженностей по лабораторному практикуму.

#### *Критерии положительной оценки:*

Выполнение типового задания, оформление отчета по работе, ответы на вопросы для самопроверки.

#### *Планируемое время выполнения:*

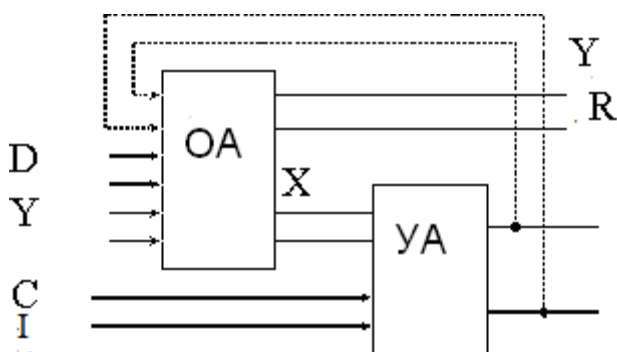
Аудиторное время выполнения (под руководством преподавателя): 8 ч.

Время самостоятельной подготовки: 2 ч.

### 6.2. Теоретическое введение

Структура триггера, приведенная ранее на рисунке 5.1, соответствует классической структуре микропрограммного устройства (см. рисунок 6.1).

Подобные устройства принято делить на две части: операционный автомат (ОА) и управляющий автомат (УА).



ОА – Операционный Автомат

УА – Управляющий Автомат

D – входные сигналы ОА / обрабатываемые данные

C – синхросигнал

R – выходные сигналы ОА / результат операции

X – сигналы, оповещающие УА о ходе выполнения микрооперации

Y – сигналы управления ОА, микрокоманды

I – внешняя команда задания режима работы устройства / код операции

Рисунок 6.1. Общая структура микропрограммного устройства

Микропрограммное устройство выполняет последовательность микроопераций (микропрограмму), порядок и логика выполнения которых задается УА, а конкретный вид и результат действий на каждом шаге микропрограммы зависит от ОА. Выполнение микропрограммы как правило синхронизируется внешним тактовым генератором, за счет чего переключение всех элементов и, соответственно, выработка всех выходных сигналов происходит строго одновременно. Подобные устройства получили название синхронных автоматов.

ОА предназначен для выполнения заданного набора микроопераций над входными данными  $D$ , выдачи результатов выполнения операций  $R$ , выработки значений логических условий  $X=(x_0, x_1, \dots, x_m)$ , которые являются оповещающими сигналами для управляющего автомата.

УА генерирует последовательность микрокоманд  $Y=(y_1, y_2, \dots, y_n)$ , определяемую поступившим кодом операции в соответствии с заданной микропрограммой и со значениями логических условий  $X$ . Каждая микрокоманда инициирует выполнение соответствующей микрооперации в ОА, реализуемой типовыми функциональными узлами обработки двоичных сигналов (например, сумматорами, дешифраторами, шифраторами, арифметико-логическими устройствами (АЛУ), схемами сравнения и т.п.).

Работа таких устройств обычно состоит в реализации некоторого алгоритма обработки информации, т. е. в выполнении упорядоченной последовательности определенных операций над поступающими данными. В некоторых случаях целью функционирования подобного автомата может являться сам процесс перехода между состояниями.

При построении устройств данного типа целесообразно использовать принцип микропрограммного управления, заключающийся в следующем:

1) любая операция, реализуемая устройством, рассматривается как сложное действие, которое разделяется на последовательность элементарных действий, называемых микрооперациями;

2) для управления порядком следования микроопераций используются логические условия  $X_i$ , принимающие в зависимости от результатов выполнения микроопераций значения 1 или 0;

3) процесс выполнения операций в устройстве описывается в форме алгоритма, представленного в терминах микроопераций и логических условий и называемого микропрограммой;

4) микропрограмма используется как форма представления функции устройства, на основе которой определяются его структура и порядок функционирования.

Особенностью принципа микропрограммного управления является возможность его применения для построения не только собственно устройств управления, но и любых других устройств, функционирование которых может быть задано в виде алгоритма или автоматной модели..

#### *Литература:*

Суханова, Н.В. Основы электроники и цифровой схемотехники [Электронный ресурс] : учебное пособие / Н.В. Суханова ; Министерство образования и науки РФ, Воронежский государственный университет инженерных технологий. - Воронеж : Воронежский государственный университет инженерных технологий, 2017. - 97 с. (ЭБС «Университетская библиотека онлайн») Стр. 73-79.

Кардашев, Г.А. Цифровая электроника на персональном компьютере. Electronics Workbench и Micro-Cap / Г. А. Кардашев. - Москва : Горячая линия-Телеком, 2003. Стр. 204-263.

*Контрольные вопросы для самопроверки:*

1. Что называется микропрограммным устройством? В состав каких узлов ЭВМ могут входить устройства с микропрограммным управлением?
2. В чём состоят преимущества микропрограммного управления?
3. Каково назначение Операционного Автомата (ОА) в микропрограммном устройстве?
4. Каково назначение Управляющего Автомата (УА) в микропрограммном устройстве?
5. Каким образом можно реализовать счётчик на основе принципов микропрограммного управления?
6. Какие специфические операции должен выполнять счётчик команд ЭВМ? Как их можно описать с помощью языка автомата Мура? тока Z.
5. Рассчитанное значение крутизны S полевого транзистора.

### 6.3. Задание к лабораторной работе

1. Изучите теоретическую часть методических указаний и выполните задание 6.4.1.
2. Оформите отчет в виде файла с названием «Фамилия, Лаб 6.doc»..

### 6.4. Методические указания и порядок выполнения работы

#### 6.4.1. Исследование синхронных счетчиков

Функционирование двухразрядного реверсивного синхронного счетчика может быть описано автоматной моделью, показанной на рисунке 6.2.

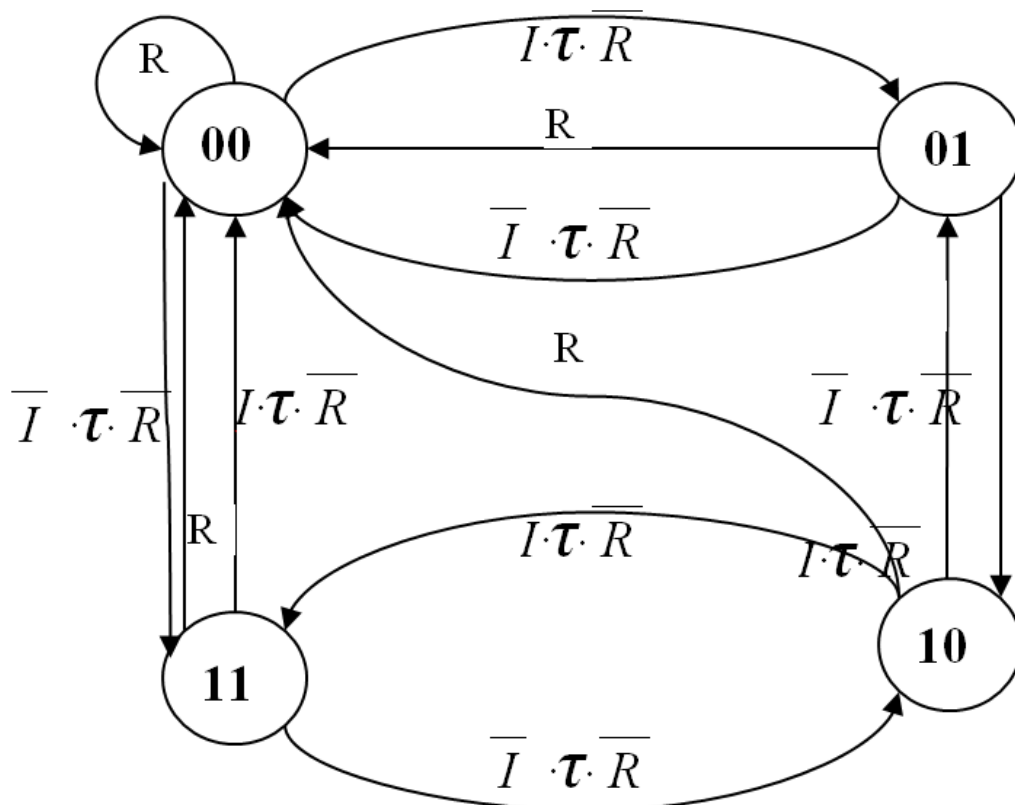


Рисунок 6.2. Автоматная модель двухразрядного реверсивного синхронного счетчика

Вершины графа соответствуют кодам состояния счетчика (00...11), дуги – разрешенным переходам между состояниями. В режиме прямого счета (код операции  $I=1$ ) при соблюдении условия  $I \cdot \tau \cdot \overline{R}$  по каждому синхросигналу происходит циклический переход между состояниями в направлении  $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00$  и т.д., в режиме обратного счета (код операции  $I=0$ ), при соблюдении условия  $\overline{I} \cdot \tau \cdot \overline{R}$  – в обратном порядке. Дуги, отмеченные как  $R$ , обозначают асинхронный сброс.

Номенклатура счетчиков, входящих в библиотеку элементов EWB, включает четырехразрядный двоичный реверсивный счетчик с предустановкой 155ИЕ13 (зарубежный аналог – SN74191)

Условные графические обозначения ИМС в соответствии с отечественным ГОСТ и используемого в EWB приведены на рисунке 6.3. (**Обратите внимание на отличия в системе обозначения выводов!**).

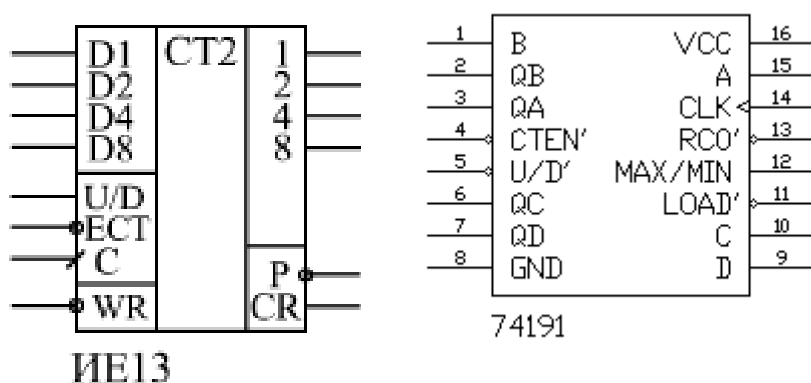


Рисунок 6.3. Условные графические обозначения ИМС 155ИЕ13 и SN74191

Микросхемы реверсивные, то есть допускают как прямой, так и обратный счет. Подсчет числа импульсов происходит по положительному фронту тактового сигнала  $C$  при нулевом уровне на входе разрешения счета  $ECT$ . Прямой счет осуществляется при нулевом уровне на входе управления  $U/D$ , обратный — при единичном уровне на входе  $U/D$ . Переключение уровней на входах  $U/D$  и  $ECT$  допускается только при положительном сигнале на тактовом входе  $C$ .

Положительный сигнал на выходе параллельного переноса  $CR$  появляется при переполнении (то есть достижении максимального числа, равного 15) при прямом счете или при достижении нуля при обратном (инверсном) счете. Имеется также выход последовательного переноса  $P$ , отрицательный импульс на котором вырабатывается при положительном сигнале  $CR$  и повторяет отрицательный импульс на тактовом входе  $C$ .

При каскадировании (совместном включении для увеличения разрядности), например, двух счетчиков, тактовые входы  $C$  обоих счетчиков объединяются, а сигнал переноса первого счетчика подается на вход разрешения счета ( $ECT$ ) второго счетчика. В результате второй счетчик будет считать каждый шестнадцатый входной тактовый импульс (так как он будет срабатывать только при переносе от первого счетчика). Выходные сигналы второго счетчика будут переключаться по фронту общего тактового сигнала одновременно с выходными сигналами первого счетчика. Условием правильной работы будет в данном случае следующее: за период тактового сигнала должен успеть выработаться сигнал переноса первого счетчика.

Сброс счетчиков в нуль не предусмотрен, зато имеется возможность асинхронной параллельной записи информации по нулевому уровню сигнала параллельной записи –  $WR$ .

Входы				Режим
-WR	U/D	-ECR	C	
0	X	X	X	Параллельная запись
1	X	1	X	Хранение
1	0	0	0 → 1	Прямой счет
1	1	0	0 → 1	Обратный счет

**Задание 6.4.1.** Исследуйте работу синхронного счетчика на примере ИМС К555ИЕ13 (или её аналога).

- На основе описания, постройте автоматную модель работы счетчика.
- Предложите схему каскадирования счетчиков, необходимого для создания электронных цифровых часов (прямой счет, модули счета разрядов - 24 часа, 60 минут). Укажите на автоматных моделях разрядов счетчика соответствующие переходы и их условия.
- Разработайте схему для автоматической предустановки (сброса) счетчиков по достижении содержимым счетчика максимального значения.
- Модифицируйте схему для режима обратного счета, при котором, по достижении содержимым счетчика значения 00:00, оно заменяется на 23:59.
- Проверьте правильность решений, смоделировав схемы на EWB.

### 6.5. Требования к отчету и защите

В отчете указываются название, цель работы. Описание выполненных лабораторных заданий с результатами в виде скриншотов, сохраненных результатов моделирования в файле формата соответствующей программы моделирования и выводами по каждому заданию.

На защите проверяются приобретенные знания теоретического и практического материала с демонстрацией результатов моделирования и по ответам на контрольные вопросы для самопроверки.

Отчёт должен содержать:

1. Формулировку цели работы.
2. Описание назначения и особенностей работы моделируемых элементов.
3. Изложение хода исследований, подтвержденного скриншотами схем и временными диаграммами.

Отчет предоставляется в электронном виде через ЭИОС

## 7. ЛАБОРАТОРНАЯ РАБОТА № 6. МИКРОПРОГРАММНЫЕ УСТРОЙСТВА И КОНТРОЛЛЕРЫ. ОРГАНИЗАЦИЯ И ТИПОВЫЕ СТРУКТУРЫ. ПРОЕКТИРОВАНИЕ СПЕЦИАЛИЗИРОВАННОГО МИКРОПРОГРАММНОГО АВТОМАТА

### 7.1. Общие сведения

*Цель:*

изучение принципов работы микропрограммных автоматов, исследование типовых структур, проектирование специализированного микропрограммного автомата.

*Материалы, оборудование, программное обеспечение:*

IBM PC-совместимый персональный компьютер, программа MicroCap 9.0 5.0 Evaluation version, или иная, также являющаяся свободно распространяемой демоверсией профессиональной программы машинного моделирования электронных схем.

*Условия допуска к выполнению:*

Предварительное знакомство с УМП, отсутствие существенных текущих задолженностей по лабораторному практикуму.

*Критерии положительной оценки:*

Выполнение типового задания, оформление отчета по работе, ответы на вопросы для самопроверки.

*Планируемое время выполнения:*

Аудиторное время выполнения (под руководством преподавателя): 4 ч.

Время самостоятельной подготовки: 2 ч.

### 7.2. Теоретическое введение

Известно, что для синтеза комбинационных схем требуется набор логических элементов, реализующих некоторую полную систему логических функций (базис). Особенность последовательных схем состоит в том, что они обладают памятью, для реализации которой требуются дополнительные элементы. В качестве таких элементов используются триггеры.

Опишем структуру синтезируемого автомата, относящегося к одной из разновидностей последовательных схем.

Автомат состоит из набора  $N$  элементарных автоматов (триггеров  $T_1, T_2, \dots, T_n$ ), комбинация состояний которых в каждый момент времени определяет внутреннее состояние всего автомата в целом. Под воздействием входных сигналов автомат должен переходить из одного состояния в другое. Для изменения состояния автомата необходимо переключить один или несколько триггеров, определяющих состояние автомата. Переключение триггеров осуществляется подачей сигналов управления  $D, R/S$  или  $J/K$  в соответствии с типом триггера. Так как новое состояние автомата определяется тем, каково было его прежнее состояние и каков набор входных сигналов, то и сигналы  $D, R/S$  или  $J/K$  являются функциями выходных сигналов триггеров ( $Q_1, Q_2, \dots, Q_n$ ) и входных сигналов автомата ( $X_1, X_2, \dots, X_n$ ).

Для формирования сигналов управления триггерами используется комбинационное устройство (комбинационная схема). Структура этого устройства определяет функцию переходов автомата. Функция выходов реализуется другим комбинационным устройством, формирующим выходные сигналы автомата ( $Y_1, Y_2, \dots, Y_n$ ).

В автомате Мили выходные сигналы являются функциями его входных сигналов ( $X_1, X_2, \dots, X_n$ ) и выходных сигналов триггеров ( $Q_1, Q_2, \dots, Q_n$ ).

В автомате Мура выходные сигналы являются функциями только выходных сигналов триггеров ( $Q_1, Q_2, \dots, Q_n$ ).

Функции переходов и выходов автомата могут быть заданы в форме таблиц переходов и выходов или с помощью графов.

В столбцах таблицы 7.1. (для каждого варианта) указаны состояния автомата, а в строках - входные сигналы. На пересечении столбца и строки в таблице переходов указано новое состояние, в которое переходит автомат.

В таблице 7.2. – значения выходных сигналов  $Y_1, Y_2$  как функция от отмеченных состояний автомата (*не триггеров!*).

Граф состоит из узлов, отождествляемых с отдельными состояниями автомата. Связи между узлами показывают переходы автомата из одного состояния в другое под воздействием входных сигналов. На каждой связи сверху указывается входной сигнал, вызывающий данный переход (*и, для автомата Мили, сигнал, формируемый на его выходе до перехода его в новое состояние*).

Таким образом, для синтеза автомата необходимо выполнить следующее:

- 1) определить, какая комбинация состояний триггеров будет соответствовать каждому из внутренних состояний автомата, т.е. провести кодирование внутренних состояний автомата;
- 2) синтезировать комбинационное устройство формирования сигналов управления триггерами  $D, R/S$  или  $J/K$ , используя таблицу переходов;
- 3) синтезировать комбинационное устройство, формирующее выходные сигналы автомата  $Y$ , используя таблицу выходов.

#### *Литература:*

Торгонский, Л.А. Проектирование центральных и периферийных устройств ЭВС [Электронный ресурс] : учебное пособие / Л.А. Торгонский, П.Н. Коваленко ; Министерство образования и науки Российской Федерации, Томский Государственный Университет Систем Управления и Радиоэлектроники (ТУСУР). - Томск : Эль Контент, 2012. - Ч. II. Микропроцессорные ЭВС. - 176 с. (ЭБС «Университетская библиотека онлайн»). Стр. 28-40.

Кардашев, Г.А. Цифровая электроника на персональном компьютере. Electronics Workbench и Micro-Cap / Г. А. Кардашев. - Москва : Горячая линия-Телеком, 2003. Стр. 285-304.

#### *Контрольные вопросы для самопроверки:*

1. Каким автоматом является соответствующий полученному индивидуальному заданию микропрограммный автомат?
2. От чего зависит функция переходов?
3. Какое минимальное количество триггеров требуется для кодирования состояний проектируемого автомата?
4. Что произойдет, если возникнет комбинация состояний триггеров, не сопоставленная ни одному из внутренних состояний автомата (то есть, ни одной из вершин графа)? По какой причине это может произойти?

5. Руководствуясь какими критериями следует выполнять кодирование состояний с помощью триггеров?
6. Триггеры какого типа лучше использовать? Почему?



### 7.3. Задание к лабораторной работе

Таблица 7.1. Функции переходов

Вариант	Вход X	Состояния – Переходы по значениям условия X							
		A0	A1	A2	A3	A4	A5	A6	A7
01	0	A1	A7	-	A4	A3	-	-	A0
	1	A3	A4	-	A1	A3	-	-	A7
02	0	A2	A5	A0	-	-	A1	A2	-
	1	A1	A6	A6	-	-	A6	A0	-
03	0	-	A3	-	A1	-	A7	A5	A3
	1	-	A6	-	A3	-	A3	A7	A1
04	0	A1	A7	A7	-	A2	-	-	A4
	1	A2	A1	A4	-	A0	-	-	A7
05	0	A3	-	-	A6	-	A3	A0	A5
	1	A6	-	-	A7	-	A0	A5	A3
06	0	-	A4	A5	-	A1	A2	A6	-
	1	-	A2	A1	-	A6	A4	A5	-
07	0	-	A5	A7	-	-	A6	A1	A2
	1	-	A6	A2	-	-	A7	A5	A1
08	0	A7	-	A6	A0	-	-	A2	A6
	1	A2	-	A0	A7	-	-	A3	A3
09	0	A1	A4	-	-	A5	A0	-	A1
	1	A4	A7	-	-	A0	A7	-	A7
10	0	-	A2	A7	A1	A3	-	-	A4
	1	-	A3	A2	A7	A1	-	-	A3
11	0	-	A3	A1	A5	-	A7	-	A7
	1	-	A5	A3	A2	-	A1	-	A3
12	0	A2	-	A4	-	A5	A6	A6	-
	1	A0	-	A5	-	A0	A2	A4	-
13	0	A5	-	-	A3	-	A0	A7	A6
	1	A3	-	-	A5	-	A5	A0	A7
14	0	A4	-	-	A6	A3	-	A7	A0
	1	A3	-	-	A0	A7	-	A4	A3
15	0	-	A3	-	A3	A5	A1	-	A4
	1	-	A4	-	A1	A7	A7	-	A5
16	0	A1	A5	A0	-	-	A2	A5	-
	1	A5	A1	A6	-	-	A6	A0	-
17	0	-	A3	-	A7	-	A3	A5	A1
	1	-	A5	-	A6	-	A1	A7	A7
18	0	A1	A7	-	A0	-	-	A6	A6
	1	A6	A0	-	A1	-	-	A7	A3
19	0	A3	-	-	A3	-	A0	A7	A5
	1	A5	-	-	A0	-	A7	A5	A6
20	0	-	A6	A5	-	A2	A2	A5	-
	1	-	A5	A4	-	A6	A1	A1	-

Таблица 7.1. Функции переходов (продолжение)

Вариант	Вход X	Состояния – Переходы по значениям условия X							
		A0	A1	A2	A3	A4	A5	A6	A7
21	0	-	A5	A6	-	-	A2	A1	A7
	1	-	A2	A5	-	-	A1	A6	A6
22	0	A2	-	A6	A0	-	-	A7	A7
	1	A6	-	A3	A3	-	-	A0	A6
23	0	A4	A1	-	-	A7	A0	-	A5
	1	A0	A7	-	-	A5	A7	-	A4
24	0	-	A3	A1	A3	A7	-	-	A7
	1	-	A2	A4	A7	A2	-	-	A4
25	0	-	A2	A3	A1	-	A2	-	A3
	1	-	A1	A5	A7	-	A7	-	A5
26	0	A4	-	A4	-	A0	A6	A5	-
	1	A2	-	A0	-	A5	A5	A2	-
27	0	A2	A6	A2	-	-	A6	A0	-
	1	A1	A0	A5	-	-	A5	A5	-
28	0	-	A3	-	A1	-	A3	A5	A6
	1	-	A5	-	A3	-	A1	A7	A7
29	0	A1	A4	-	-	A0	A5	-	A5
	1	A0	A5	-	-	A7	A4	-	A1
30	0	A5	-	-	A0	-	A3	A7	A6
	1	A3	-	-	A6	-	A5	A5	A0
31	0	-	A1	A4	-	A5	A2	A5	-
	1	-	A4	A5	-	A1	A6	A2	-
32	0	-	A5	A4	-	A1	A5	-	A4
	1	-	A2	A5	-	A2	A7	-	A5
33	0	A3	-	A3	A7	-	-	A0	A6
	1	A2	-	A0	A6	-	-	A7	A2
34	0	A5	A0	-	-	A1	A7	-	A5
	1	A0	A1	-	-	A4	A5	-	A4
35	0	-	A3	-	A1	-	A7	A5	A3
	1	-	A6	-	A3	-	A3	A7	A1
36	0	-	A2	A3	A5	-	A2	-	A1
	1	-	A3	A1	A7	-	A7	-	A5
37	0	A5	-	A0	-	A2	A5	A6	-
	1	A2	-	A4	-	A6	A0	A5	-
38	0	A3	-	-	A5	-	A3	A7	A0
	1	A5	-	-	A7	-	A3	A0	A3
39	0	A0	-	-	A6	A3	-	A7	A3
	1	A4	-	-	A0	A7	-	A4	A6
40	0	-	A3	-	A1	A1	A4	-	A5
	1	-	A7	-	A5	A4	A5	-	A3

Таблица 7.1. Функции переходов (окончание)

Вариант	Вход X	Состояния – Переходы по значениям условия X							
		A0	A1	A2	A3	A4	A5	A6	A7
41	0	A3	-	A0	A3	A2		A6	-
	1	A2	-	A4	A0	A6		A3	-
42	0	A3	A0	-	A5	-	A3	A1	
	1	A5	A3	-	A1	-	A3	A0	
43	0	A0	A3	-	A6		-	A7	A3
	1	A1	A7	-	A0		-	A1	A6
44	0	A2	A6	A2	A6	-		A0	-
	1	A1	A0	A3	A3	-		A3	-
45	0	A3	A3	-	A1	-		A0	A6
	1	A1	A0	-	A3	-		A7	A7
46	0		A3	-	A1	A2	A5	-	A5
	1		A5	-	A2	A7	A4	-	A3
47	0	A3	A0	-	A0	-		A7	A6
	1	A1	A6	-	A6	-		A5	A0
48	0	-	A1	A4			A2	A5	A6
	1	-	A5	A6			A1	A7	A7
49	0	A3		A4	-	A2	A5	-	A5
	1	A2		A5	-	A7	A4	-	A3
50	0	A5	-	-		A0	A4	A7	A6
	1	A4	-	-		A6	A5	A5	A0
51	0	A0		A4	-	A5	A2	A5	-
	1	A4		A5	-	A0	A6	A2	-
52	0	-		A4	-	A6	A5	A5	A4
	1	-		A6	-	A2	A7	A2	A5
53	0	A3	A3		A7	-	-	A0	A6
	1	A1	A0		A6	-	-	A7	A1
54	0	A5	A0	A3	-	A1	A3	-	
	1	A0	A1	A4	-	A4	A5	-	
55	0	A3	A3	-	A1	-		A0	A6
	1	A1	A0	-	A3	-		A7	A7
56	0	A1	A2	A2	-		A5	-	A5
	1	A2	A5	A7	-		A7	-	A1
57	0	A7	A3	-	A0	-		A7	A6
	1	A3	A1	-	A6	-		A1	A0
58	0	-	A3	A4	-	A5	A2	A5	-
	1	-	A4	A5	-	A1	A6	A1	-
59	0	A0	-	-	A4	A3	-	A0	A3
	1	A4	-	-	A0	A7	-	A4	A6
60	0	A5	A3	-	A4	A1	A4	-	
	1	A3	A0	-	A5	A4	A5	-	

Таблица 7.2. Функции выходов

Вариант	Выходы $Y$								
		$A0$	$A1$	$A2$	$A3$	$A4$	$A5$	$A6$	$A7$
1, 6	$Y1$	+		+	+		+		
	$Y2$		+		+		+		+
2, 7	$Y1$		+	+		+		+	
	$Y2$	+		+	+			+	
3, 8	$Y1$		+			+	+		+
	$Y2$	+			+	+	+		
4, 9	$Y1$		+	+		+			+
	$Y2$	+		+			+	+	
5, 0	$Y1$			+	+				+
	$Y2$	+	+				+		+

#### 7.4. Методические указания и порядок выполнения работы

На основе задания, выбранного из таблиц переходов и выходов в соответствии с вариантом:

1. Построить блок-схему алгоритма микропрограммного автомата. Номер блока – в соответствии с состоянием  $A$  из таблицы 1, операция – в соответствии со значением выходного сигнала из таблицы 2.
2. Построить граф автомата Мура, представить состояния автомата вершинами, переходы – дугами.
3. Выполнить двоичное кодирование внутренних состояний автомата. Разметить вершины в соответствии с выполненным кодированием.
4. Построить и минимизировать выражения для вычисления сигналов управления триггерами и выходных сигналов как функции от входных сигналов и состояния автомата.
5. Построить принципиальную электрическую схему автомата в базисе триггеров заданного типа и логических элементов И-НЕ.
6. Смоделировать работу автомата с помощью EWB.

#### 7.5. Требования к отчету и защите

В отчете указываются название, цель работы. Описание выполненных лабораторных заданий с результатами в виде скриншотов, сохраненных результатов моделирования в файле формата соответствующей программы моделирования и выводами по каждому заданию.

На защите проверяются приобретенные знания теоретического и практического материала с демонстрацией результатов моделирования и по ответам на контрольные вопросы для самопроверки.

Отчёт должен содержать:

1. Исходное задание (строки из табл. 1 и 2 в соответствии с вариантом).
2. Блок-схему алгоритма микропрограммного автомата.
3. Граф автомата Мура.
4. Обзор типов, сравнение характеристик, выбор и обоснование типа используемых триггеров.

5. Таблицу истинности и выражения, описывающие вычисление сигналов управления триггерами  $D_{1-3}$ ,  $R_{1-3}/S_{1-3}$ ,  $J_{1-3}/K_{1-3}$  (в соответствии с типом выбранного триггера, по таблице 1).
6. Выражения, описывающие вычисление выходных сигналов  $Y_1$  и  $Y_2$  (по таблице 2).
7. Карты Карно с минимизацией выражений для вычисления сигналов  $D_{1-3}$ ,  $R_{1-3}/S_{1-3}$ ,  $J_{1-3}/K_{1-3}$ ,  $Y_1$ ,  $Y_2$ .
8. Минимизированные ДНФ сигналов  $D_{1-3}$ ,  $R_{1-3}/S_{1-3}$ ,  $J_{1-3}/K_{1-3}$ ,  $Y_1$ ,  $Y_2$ .
9. Обзор номенклатуры комбинационных элементов и схем ЕWB.
10. Принципиальную электрическую схему автомата в соответствующем базисе.
11. Результаты моделирования работы автомата (поведение при подаче набора входных сигналов  $X$ , обеспечивающего последовательный переход автомата между состояниями по всем дугам графа).

## 8. ЗАКЛЮЧЕНИЕ

Выполнение лабораторных работ данного практикума должно способствовать формированию у студентов профессиональных знаний по основам построения устройств и элементов вычислительных систем, необходимых для выбора их архитектуры, конфигурации и эксплуатации:

В ходе практического освоения дисциплины студенты выполняют исследования элементов, узлов и устройств, реализующих функции обработки данных и управления в электронных вычислительных машинах, принципы построения запоминающих и внешних устройств и их интерфейсов;

Результатами выполнения работ являются приобретение навыков выбора, комплексирования и эксплуатации программно-аппаратных средств в вычислительных и информационных системах; формирование базовых знаний, умений и навыков для оптимального (в том числе самостоятельного) выбора элементной базы для построения различных архитектур вычислительных средств.

## 9. ЛИТЕРАТУРА

### Основная

1. Горнец, Н.Н. ЭВМ и периферийные устройства. Компьютерные и вычислительные системы : учеб. / Н. Н. Горнец, А. Г. Роцин . - Москва : Академия, 2012. - 235 с.
2. Пятибратов, А.П. Вычислительные системы, сети и телекоммуникации [Электронный ресурс]: учеб. / А. П. Пятибратов, Л. П. Гудыно, А. А. Кириченко. - Москва : КноРус, 2017. - 372 с. (ЭБС «Book.ru»).
3. Лошаков, С. Периферийные устройства вычислительной техники [Электронный ресурс] / С. Лошаков. - 2-е изд., исправ. - Москва : Национальный Открытый Университет «ИНТУИТ», 2016. - 436 с. (ЭБС «Университетская библиотека онлайн»).
4. Торгонский, Л.А. Проектирование центральных и периферийных устройств ЭВС [Электронный ресурс] : учебное пособие / Л.А. Торгонский, П.Н. Коваленко ; Министерство образования и науки Российской Федерации, Томский Государственный Университет Систем Управления и Радиоэлектроники (ТУСУР). - Томск : Эль Контент, 2012. - Ч. II. Микропроцессорные ЭВС. - 176 с. (ЭБС «Университетская библиотека онлайн»).

### Дополнительная

1. Гусев, В.Г. Электроника и микропроцессорная техника : учеб. / В. Г. Гусев, Ю. М. Гусев ; авт. Гусев Ю.М. - 5-е изд., стереотип. - Москва : Высшая школа, 2008. - 798 с.
2. Кардашев, Г.А. Цифровая электроника на персональном компьютере. Electronics Workbench и Micro-Cap / Г. А. Кардашев. - Москва : Горячая линия-Телеком, 2003. - 311 с.
3. Суханова, Н.В. Основы электроники и цифровой схемотехники [Электронный ресурс] : учебное пособие / Н.В. Суханова ; Министерство образования и науки РФ, Воронежский государственный университет инженерных технологий. - Воронеж : Воронежский государственный университет инженерных технологий, 2017. - 97 с. (ЭБС «Университетская библиотека онлайн»).
4. Микропроцессорные системы : учеб. пособие / Е. К. Александров [и др.]. - Санкт-Петербург : Политехника, 2002. - 935 с.
5. Сычев, А.Н. ЭВМ и периферийные устройства [Электронный ресурс] : учебное пособие / А.Н. Сычев ; Министерство образования и науки Российской Федерации, Томский Государственный Университет Систем Управления и Радиоэлектроники (ТУСУР). - Томск : ТУСУР,

Локальный электронный методический материал

Владимир Вячеславович Капустин

## ЭВМ и периферийные устройства

Редактор Г. А. Смирнова

Уч.-изд. л. 3,8. Печ. л. 3,5

Издательство федерального государственного бюджетного образовательного  
учреждения высшего образования  
«Калининградский государственный технический университет».  
236022, Калининград, Советский проспект, 1